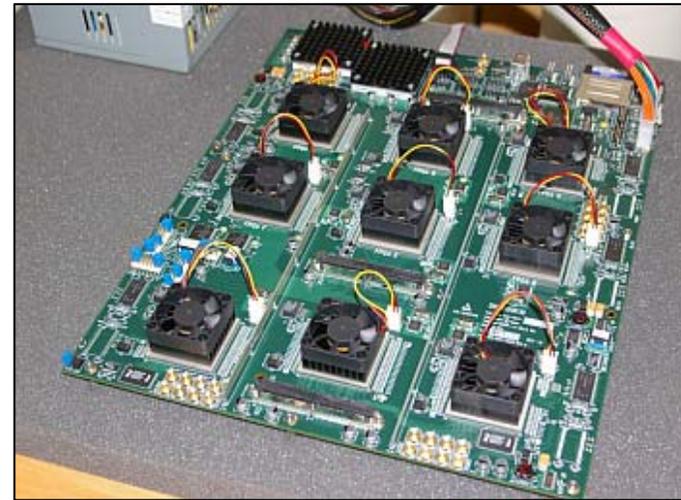


東京工業大学 大学院情報理工学研究科 計算工学専攻 吉瀬研究室 (Kise Laboratory)

低消費電力, 高信頼,
高速な計算機システム
に関する研究



🌸 研究テーマ

- 🌸 スーパースカラ・プロセッサの高速化, 低消費電力化
- 🌸 チップマルチプロセッサの高速化, 低消費電力化
- 🌸 高性能プロセッサを支援するソフトウェア技術の開発
- 🌸 FPGAを利用したプロセッサアーキテクチャの性能検証
- 🌸 独自の発想に基づく計算機アーキテクチャの高性能化



スーパースカラ・プロセッサの高速化, 低消費電力化

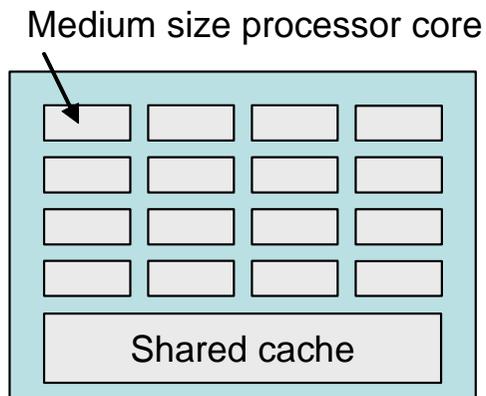
- ❁ マイクロプロセッサは計算機システムの高性能化のための重要な要素
- ❁ マイクロプロセッサの高性能化手法を開発
 - ❁ キャッシュ
 - ❁ トレースキャッシュ
 - ❁ 投機処理
 - ❁ 分岐予測
 - ❁ データ値予測
 - ❁ 命令スケジューリング

プロセッサの速度を2倍に向上させるためには何が必要か？
高性能プロセッサに組み込むことができる新技術の開発を目指す。

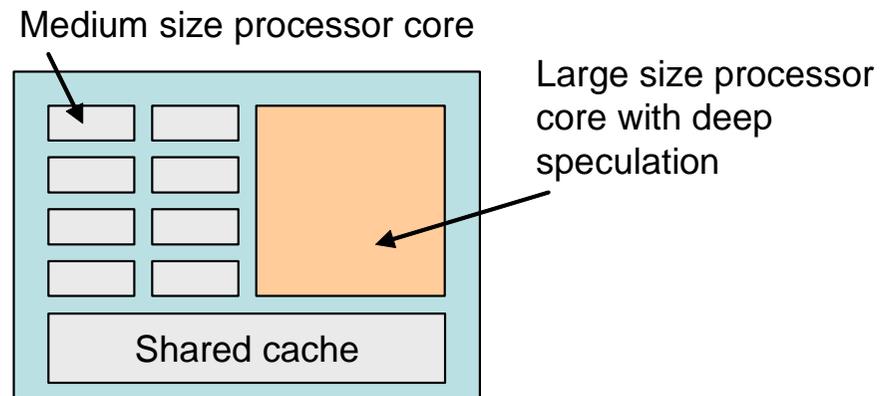


チップマルチプロセッサの高速化, 低消費電力化

- ❁ 複数のプロセッサコアを1つのチップに搭載するチップマルチプロセッサが注目されている.
- ❁ チップマルチプロセッサの構成と高性能化手法を開発
 - ❁ 大規模並列処理のためのスケジューリング, 共有キャッシュ, プロセッサコアの間の一貫性制御, オンチップネットワーク



(a) Chip multiprocessor with 16 core



(b) Heterogeneous chip multiprocessor with 9 core

小さいプロセッサコアを16個搭載したものと, 8個の小さいプロセッサコアと1個の大きなプロセッサコアを搭載するもの. それぞれの利点・欠点は?



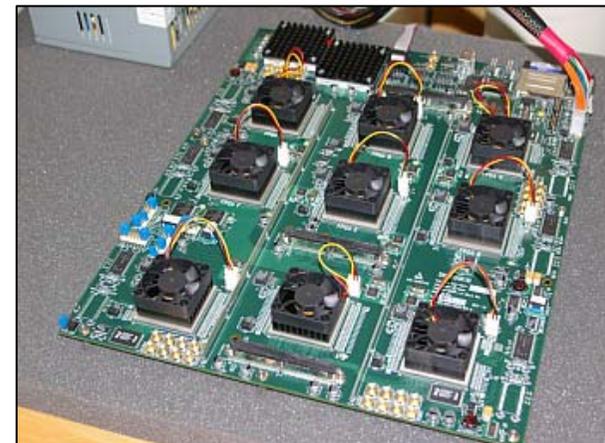
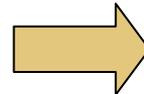
FPGA (Field Programmable Gate Array) を利用したプロセッサアーキテクチャの性能検証

- ❁ ソフトウェアシミュレーションによる評価は低速, 入出力を含む評価が困難
- ❁ FPGAを利用して, 計算機システムを評価
 - ❁ オペレーティングシステムを起動し, 現実に近い環境を構築可能
 - ❁ 遅延検証, 回路規模検証, RTLレベル検証, システムレベル検証

```
kterm
File Edit Options Buffers Tools Statements Verilog Help
4: dec_n = ~(1 << 4);
5: dec_n = ~(1 << 5);
6: dec_n = ~(1 << 6);
7: dec_n = ~(1 << 7);
default: dec_n = 0;
endcase
endfunction
wire ['MSB:0] qt, dt, m, m0, dcf, dcr;
wire [2 * 'MSB + 1:0] dlf, drf, dlr, drr;
wire ['DEPTH_MSB:0] cm, qm;
reg ['MSB:0] qc = 0;
reg [2 * 'MSB + 1:0] q1 = 0, qr = 0;
reg ['DEPTH_MSB:0] depth = 0;
reg oddlast = 0, halt = 0, ramwait = 0;
// mask pattern
assign m[0] = qt[0];
assign m[1] = qt[1] & ~|qt[1 - 1:0];
assign m[2] = qt[2] & ~|qt[2 - 1:0];
assign m[3] = qt[3] & ~|qt[3 - 1:0];
assign m[4] = qt[4] & ~|qt[4 - 1:0];
--EE--F1 queen2.v (Verilog)--L58--C0--17%
```

ハードウェア記述言語による記述

論理合成



FPGAシステムにマッピング

実時間に近い速度で動作するシステムの構築. 議論されている方式が現実の世界で正しく動作するのか?



その他の研究テーマ

- ❁ 高性能プロセッサを支援するソフトウェア技術の開発
 - ❁ オペレーティングシステム支援
 - ❁ コンパイラ支援
 - ❁ ミドルウェア支援
 - ❁ 性能評価ツール
 - ❁ 開発支援ツール
- ❁ 独自の発想に基づく計算機アーキテクチャの高性能化
 - ❁ データフロー計算機, 超並列計算機, タイル型アーキテクチャといった現在の主流ではない方式を再検討する.
 - ❁ 斬新なアイデアに基づく計算機システムの構築を試みる!



アーキテクチャ(建築)と プロセッサアーキテクチャ(プロセッサ建築)



パルテノン神殿.



世界最大のクフ王のピラミッド.
約2.5tのブロックを230~250万個
利用して実現されている.



Intel Pentium.
310万個のトランジスタの組み合わせ.



10億トランジスタ.
何を、どのように構築すべきか?

2006年度から誕生した研究室です.
開拓精神を持つ皆さんを歓迎します!

