

Course number: CSC.Z381

情報工学系 研究プロジェクト Research opportunity in Laboratories

情報工学系 吉瀬研究室

Kise Laboratory, Department of Computer Science
kise_at_c.titech.ac.jp



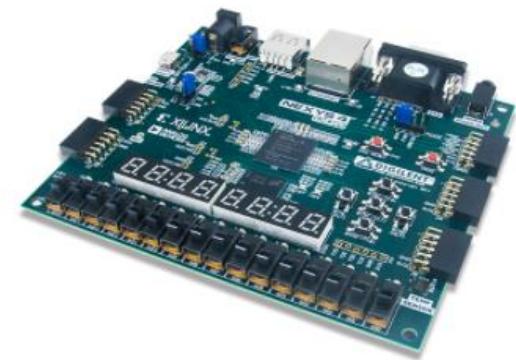
スケジュール

- 3Q 後半期間: 2022年10月27日(木) ~ 11月24日(木)
- 2022年10月27日(木) 18:00 西8号館 E706号室 集合, 説明
- 2022年11月7日(月) 18:00 ~ 19:00 ミーティング
- 2022年11月15日(火) 18:00 ~ 19:00 ミーティング
- 2022年11月24日(木) 18:00 ~ 20:00 成果発表会
 - 15分のプレゼンテーション(デモを含む)
- www.arch.cs.titech.ac.jp/lecture/RP/

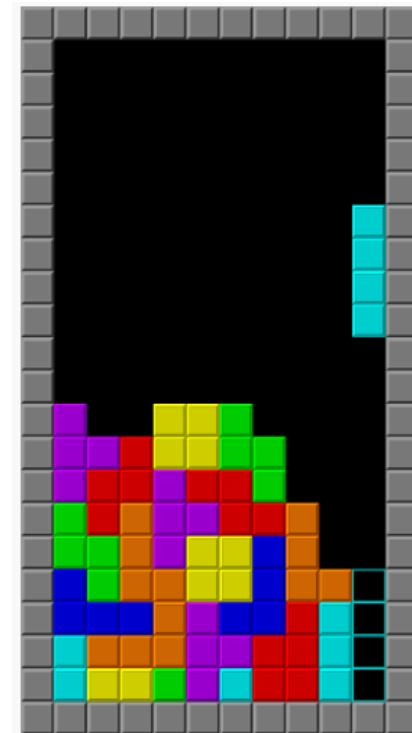


内容(実験)

- 最後のプレゼンを含めて11.25時間程度(授業7.5回相当)
- NEXYS4 DDR (NEXYS A7)を使って面白いゲームを作る.
- 用いるハードウェア
 - NEXYS4 DDR
 - VGAディスプレイ
 - 800 × 600 pixel の設定がお勧め.
 - 関連ケーブル
- 次の動画より面白いゲームを作りたい !
 - <https://www.youtube.com/watch?v=PwFEgQ2-b8A>
 - <https://www.youtube.com/watch?v=mqfI2xpCRDE>
- Enjoy!



内容(実験)



ルール

- ハードウェアは Verilog HDLで記述すること.
- Vivadoを用いて開発すること.
- Xilinxが提供するIPを使っても良い.
- インターネットから得られるコードなどを利用するのは禁止.
- プロセッサを実装してソフトウェアを動かすのは禁止.

- 発表会ではPowerPointを使って15分間のプレゼンテーション(デモを含めること)
 - 独自に記述したVerilog HDLのコードで新規性を評価する.
 - 面白さを10段階(1~10)で評価する.
 - 新規性 N , 面白さ F , として, 得点は $H = N \times F$ とする.



Course number: CSC.T363

Computer Architecture VGA Display Controller Design

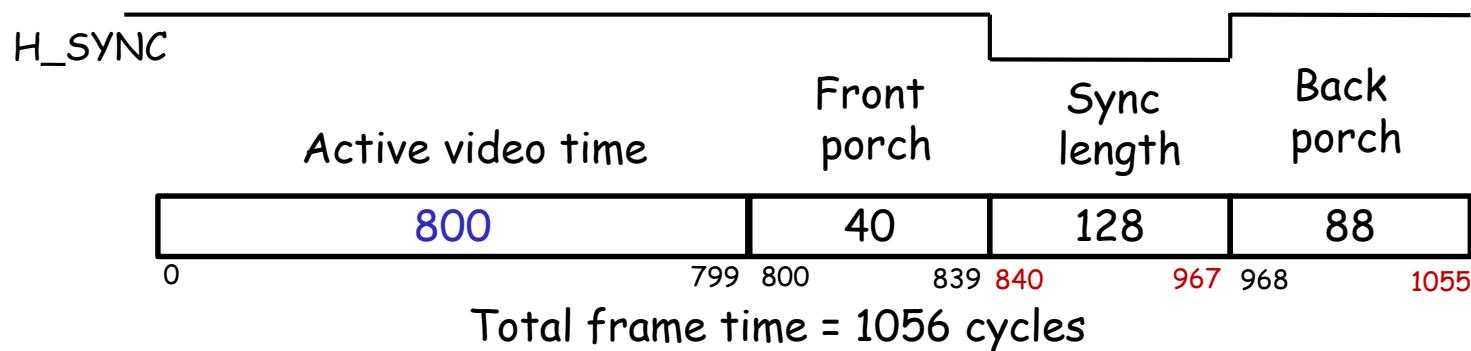
Kenji Kise, Department of Computer Science
kise_at_c.titech.ac.jp

A thick blue line starts from the bottom left, curves upwards and to the right, then downwards and to the right again, ending near the bottom right corner.

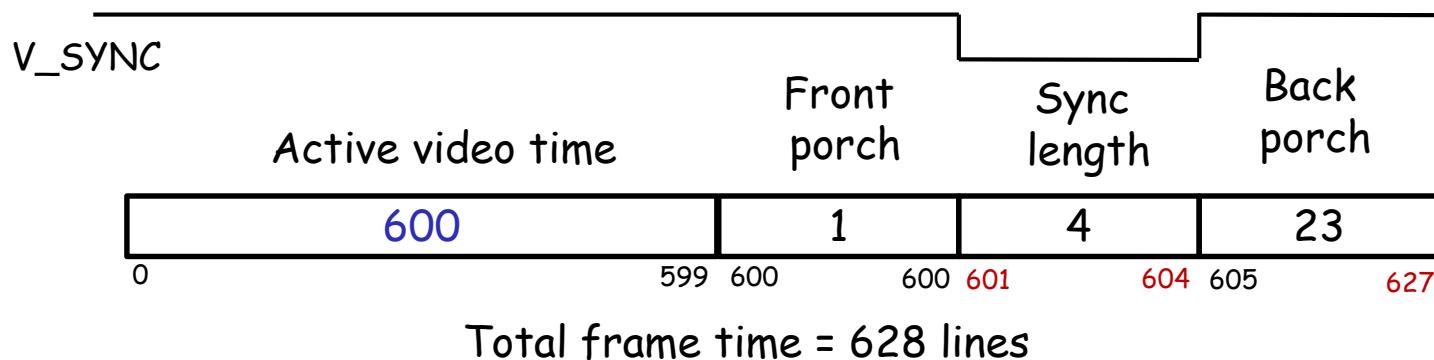
800 × 600 60Hz SVGA

- Mode for **LCD-8000V/W** display
- 40MHz clock

Horizon Timing



Vertical Timing



Inside main.v (Project1)

```
module m_main (w_clk, w_btnu, w_btnd, w_led, VGA_R, VGA_G, VGA_B, VGA_HS, VGA_VS);
    input wire w_clk, w_btnu, w_btnd;
    output wire [15:0] w_led;
    output reg         VGA_HS, VGA_VS;
    output wire [3:0]  VGA_R, VGA_G, VGA_B;

    wire CLK, w_locked;
    clk_wiz_0 clk_wiz (CLK, 0, w_locked, w_clk); // 100MHz -> 40MHz
    wire w_RST = ~w_locked || w_btnu || w_btnd;

    reg [31:0] r_cnt = 0;
    always @(posedge CLK) r_cnt <= (w_RST) ? 0 : r_cnt + 1;
    assign w_led = r_cnt[31:16];

    ***** 800 x 600 60Hz SVGA Controller *****/
    reg [10:0] hcnt, vcnt;
    always @(posedge CLK) begin
        hcnt   <= (w_RST) ? 0 : (hcnt==1055) ? 0 : hcnt + 1;
        vcnt   <= (w_RST) ? 0 : (hcnt!=1055) ? vcnt : (vcnt==627) ? 0 : vcnt + 1;
        VGA_HS <= (w_RST) ? 1 : (hcnt>=840 && hcnt<=967) ? 0 : 1;
        VGA_VS <= (w_RST) ? 1 : (vcnt>=601 && vcnt<=604) ? 0 : 1;
    end

    assign VGA_R = (hcnt<266 && vcnt<600) ? 4'b1111 : 0;
    assign VGA_G = (hcnt>=266 && hcnt<533 && vcnt<600) ? 4'b1111 : 0;
    assign VGA_B = (hcnt>=533 && hcnt<800 && vcnt<600) ? 4'b1111 : 0;
endmodule
```

