

# Assignment 5



1. Design a four stage pipelined **scalar** processor supporting MIPS **add** and **bne** instruction in Verilog HDL. Please download **proc06.v** and **proc07.v** from the support page and refer it.
2. Verify the behavior of designed processor using following assembly code.

```
p.imem.mem[0] = {6'h0, 5'd0, 5'd0, 5'd0, 5'd0, 6'h20}; // NOP
p.imem.mem[1] = {6'h0, 5'd5, 5'd1, 5'd5, 5'd0, 6'h20}; // L1: add $5, $5, $1
p.imem.mem[2] = {6'h0, 5'd0, 5'd0, 5'd0, 5'd0, 6'h20}; // NOP
p.imem.mem[3] = {6'h0, 5'd0, 5'd0, 5'd0, 5'd0, 6'h20}; // NOP
p.imem.mem[4] = {6'h0, 5'd0, 5'd0, 5'd0, 5'd0, 6'h20}; // NOP
p.imem.mem[5] = {6'h5, 5'd4, 5'd5, 16'hffffb}; // bne $4, $5, L1
p.imem.mem[6] = {6'h0, 5'd0, 5'd0, 5'd0, 5'd0, 6'h20}; // NOP
p.imem.mem[7] = {6'h0, 5'd0, 5'd0, 5'd0, 5'd0, 6'h20}; // NOP
p.imem.mem[8] = {6'h0, 5'd0, 5'd0, 5'd5, 5'd0, 6'h20}; // add $5, $0, $0
p.imem.mem[9] = {6'h0, 5'd0, 5'd0, 5'd0, 5'd0, 6'h20}; // NOP
p.imem.mem[10] = {6'h0, 5'd0, 5'd0, 5'd0, 5'd0, 6'h20}; // NOP
p.imem.mem[11] = {6'h5, 5'd2, 5'd0, 16'hffff5}; // bne $2, $0, L1
p.imem.mem[12] = {6'h0, 5'd0, 5'd0, 5'd0, 5'd0, 6'h20}; // NOP
p.imem.mem[13] = {6'h0, 5'd0, 5'd0, 5'd0, 5'd0, 6'h20}; // NOP
p.regfile.r[1] = 1; p.regfile.r[2] = 22; p.regfile.r[3] = 0; p.regfile.r[4] = 4; p.regfile.r[5] = 0;
```

```
while(1){
    for(int i=1; i!=4; i++){
        }
    }
```

3. Submit **your report** in a PDF file via E-mail **by the next Thursday**.
  - The report should include a block diagram, a source code in Verilog HDL, and obtained waveforms of your design.

