

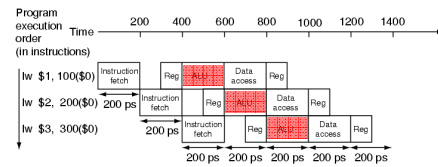
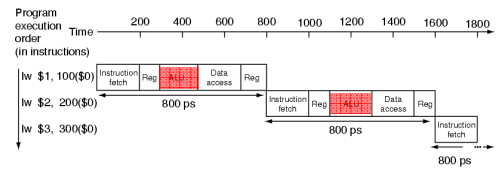
計算機アーキテクチャ 第二 (O)

5. パイプライン処理とハザード

大学院情報理工学専攻 計算工学専攻
吉瀬謙二 kise_at_cs.titech.ac.jp
S321講義室 月曜日 5, 6時限 13:20-14:50

1

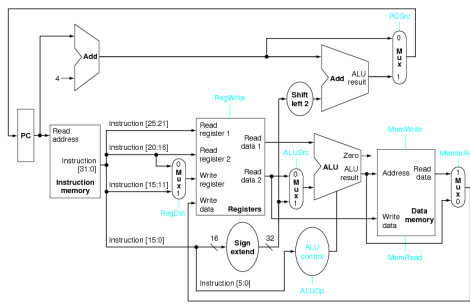
パイプライン処理 (pipelining)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

2

プロセッサのデータパス(シングル・サイクル)

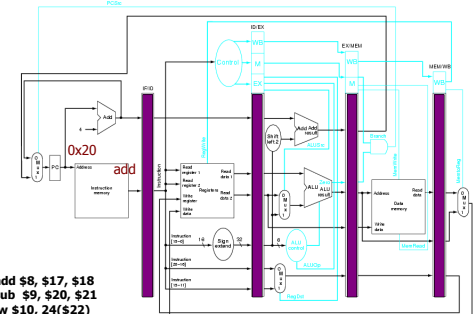


Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

3

プロセッサのデータパス(パイプライン処理)

Clock 1:



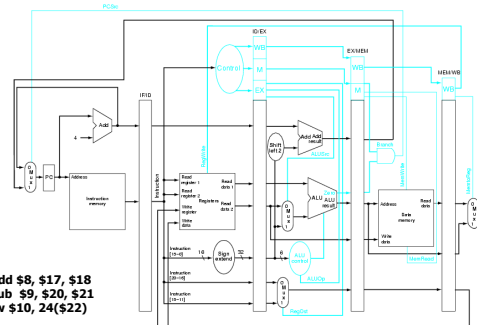
- (1) 0x20: add \$8, \$17, \$18
- (2) 0x24: sub \$9, \$20, \$21
- (3) 0x28: lw \$10, 24(\$22)

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

4

プロセッサのデータパス(パイプライン処理)

Clock 2:



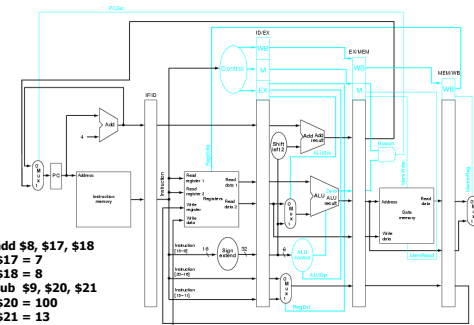
- (1) 0x20: add \$8, \$17, \$18
- (2) 0x24: sub \$9, \$20, \$21
- (3) 0x28: lw \$10, 24(\$22)

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

5

プロセッサのデータパス(パイプライン処理)

Clock 3:



- (1) 0x20: add \$8, \$17, \$18
\$17 = 7
\$18 = 8
- (2) 0x24: sub \$9, \$20, \$21
\$20 = 100
\$21 = 13
- (3) 0x28: lw \$10, 24(\$22)
\$22 = 128

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

6

ハザード (hazard)

命令を適切なサイクルで実行できないような状況が存在する。これをハザードと呼ぶ。

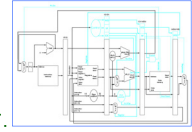
- **構造ハザード (structural hazard)**
 - オーバラップ実行する命令の組み合わせをハードウェアがサポートしていない場合。
 - 資源不足により生じる。
- **データハザード (data hazard)**
 - データの受け渡しの制約によって生じるハザード
- **制御ハザード (control hazard)**
 - 分岐命令、ジャンプ命令によって生じるハザード

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

7

MIPSの基本的な5つのステップ(ステージ)

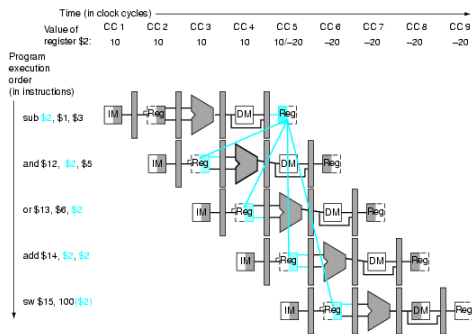
- **IFステージ**
メモリから命令をフェッチする。
- **IDステージ**
命令をデコードしながら、レジスタを読み出す。
- **EXステージ**
命令操作の実行またはアドレスの生成を行う。
- **MEMステージ**
データ・メモリ中のオペランドにアクセスする。
- **WBステージ**
結果をレジスタに書き込む。



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

8

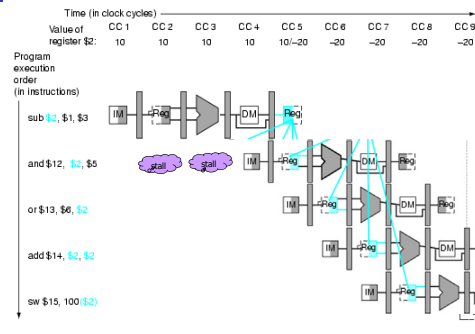
データハザード



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

9

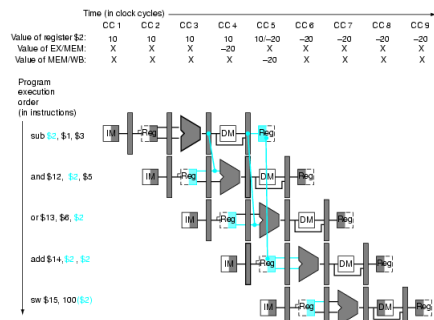
データハザード (ストール)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

10

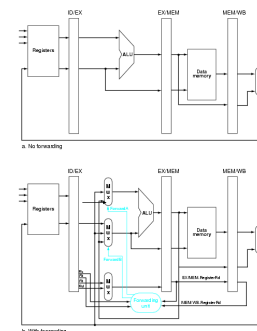
フォワーディングによるデータハザードの回避



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

11

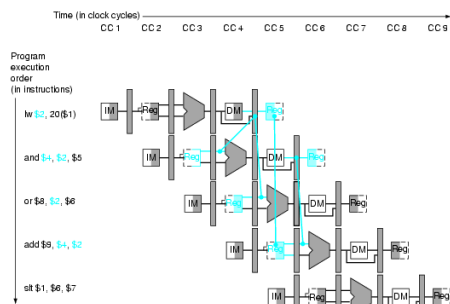
フォワーディングのための変更点



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

12

データハザードによる生じるストール



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

13

ハザード (hazard)

命令を適切なサイクルで実行できないような状況が存在する。これをハザードと呼ぶ。

- **構造ハザード (structural hazard)**
 - オーバラップ実行する命令の組み合わせをハードウェアがサポートしていない場合。
 - 資源不足により生じる。
- **データ・ハザード (data hazard)**
 - データの受け渡しの制約によって生じるハザード
- **制御ハザード (control hazard)**
 - 分岐命令、ジャンプ命令によって生じるハザード

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

14

単純な5段のRISCのパイプライン

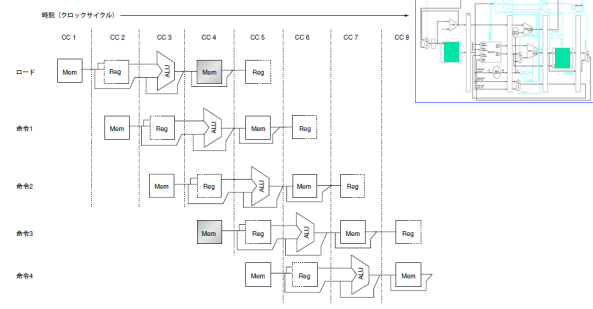
命令数	クロック数								
	1	2	3	4	5	6	7	8	9
命令 i	IF	ID	EX	MEM	WB				
命令 $i+1$		IF	ID	EX	MEM	WB			
命令 $i+2$			IF	ID	EX	MEM	WB		
命令 $i+3$				IF	ID	EX	MEM	WB	
命令 $i+4$					IF	ID	EX	MEM	WB

プロセッサ性能はパイプライン化されていないものと比較して**最大で5倍**になる。

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

15

メモリポートを1つしか持たないプロセッサ



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

16

構造ハザードによるパイプラインストール

命令	クロックサイクル									
	1	2	3	4	5	6	7	8	9	10
ロード命令	IF	ID	EX	MEM	WB					
命令 $i+1$		IF	ID	EX	MEM	WB				
命令 $i+2$			IF	ID	EX	MEM	WB			
命令 $i+3$				stall	IF	ID	EX	MEM	WB	
命令 $i+4$					IF	ID	EX	MEM	WB	
命令 $i+5$						IF	ID	EX	MEM	
命令 $i+6$							IF	ID	EX	

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

17

ハザード (hazard)

命令を適切なサイクルで実行できないような状況が存在する。これをハザードと呼ぶ。

- **構造ハザード (structural hazard)**
 - オーバラップ実行する命令の組み合わせをハードウェアがサポートしていない場合。
 - 資源不足により生じる。
- **データ・ハザード (data hazard)**
 - データの受け渡しの制約によって生じるハザード
- **制御ハザード (control hazard)**
 - 分岐命令、ジャンプ命令によって生じるハザード

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

18

MIPSの基本的な5つのステップ(ステージ)

IFステージ

メモリから命令をフェッチする。

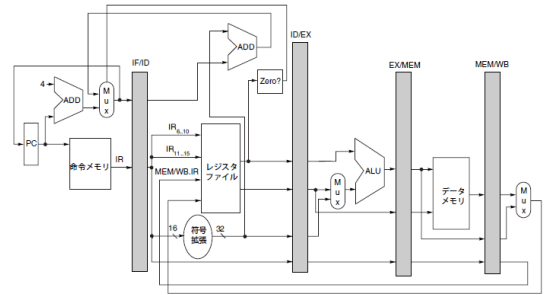
IDステージ

命令をデコードしながら、レジスタを読み出す。分岐命令である可能性を考慮し、読み出されたレジスタの間で一致比較を行う。必要であれば、命令のオフセットフィールドを符号拡張し、インクリメントされたPCに符号拡張されたオフセットを足し合わせて分岐先のアドレスを計算する。条件が成立した場合には分岐先アドレスをPCにセットして、このステージで分岐命令は完了する。

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

19

プロセッサのデータパス(パイプライン処理)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

20

静的に採用できる制御ハザードの対処(演習)

戦略1

- 分岐方向が判明するまで分岐命令の後続命令を止める。
- IDステージで分岐命令が完了することに注意。

分岐命令	IF	ID	EX	MEM	WB
分岐先命令					
分岐先命令 + 1					
分岐先命令 + 2					

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

21

静的に採用できる制御ハザードの対処

戦略1

- 分岐方向が判明するまで分岐命令の後続命令を止める。
- IDステージで分岐命令が完了することに注意。
- 分岐命令の出現毎に1サイクルのストールが発生する。

分岐命令	IF	ID	EX	MEM	WB
分岐先命令					
分岐先命令 + 1					
分岐先命令 + 2					

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

22

戦略2: predicted-not-taken方式 (Exercise)

- すべての分岐命令を not taken (不成立)として処理を進める。

Untaken 分岐命令	IF	ID	EX	MEM	WB
命令 i + 1					
命令 i + 2					
命令 i + 3					
命令 i + 4					
Taken 分岐命令	IF	ID	EX	MEM	WB
命令 i + 1					
分岐先					
分岐先 + 1					
分岐先 + 2					

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

23

戦略2: predicted-not-taken方式

- すべての分岐命令を not taken (不成立)として処理を進める。

- 分岐結果が不成立であれば、ペナルティは生じない。
- 分岐結果が成立であれば、1サイクルのペナルティ

Untaken 分岐命令	IF	ID	EX	MEM	WB
命令 i + 1					
命令 i + 2					
命令 i + 3					
命令 i + 4					
Taken 分岐命令	IF	ID	EX	MEM	WB
命令 i + 1					
分岐先					
分岐先 + 1					
分岐先 + 2					

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

24

戦略3: predicted-taken方式

- すべての分岐命令を taken (成立) として処理を進める。
- IDステージが終了して、分岐と判定するとすぐに分岐成立として処理を継続。
- 今考えているパイプライン構成では、この方式の利点はない。

25

戦略4: 遅延分岐 (delayed branch)

- 分岐命令の後続の幾つかの命令を実行した後に、分岐する。
- 1サイクルの遅延を持つ命令実行順は次の通り。
 - 分岐命令を実行
 - 分岐命令の次アドレスの命令を実行
 - 分岐成立では、飛び先アドレスの命令を実行 (不成立では、分岐命令の次の次のアドレスの命令を実行)

26

戦略4: 遅延分岐 (delayed branch)

- 分岐命令の後続の幾つかの命令を実行した後に、分岐する。

Untaken分岐命令	IF	ID	EX	MEM	WB
分岐遅延命令 (i + 1)					
命令 i + 2					
命令 i + 3					
命令 i + 4					
Taken分岐命令	IF	ID	EX	MEM	WB
分岐遅延命令 (i + 1)					
分岐先					
分岐先 + 1					
分岐先 + 2					

27

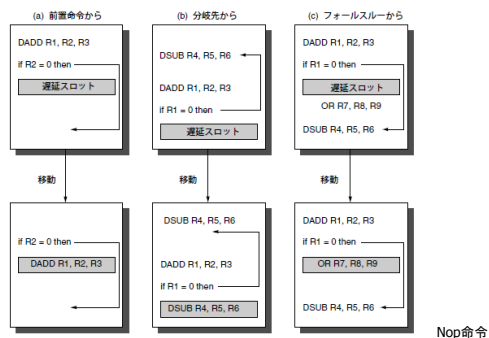
戦略4: 遅延分岐 (delayed branch)

- 分岐命令の後続の幾つかの命令を実行した後に、分岐する。分岐命令によるストールは生じない。
- 初期のRISCプロセッサにて利用された。

Untaken分岐命令	IF	ID	EX	MEM	WB
分岐遅延命令 (i + 1)					
命令 i + 2					
命令 i + 3					
命令 i + 4					
Taken分岐命令	IF	ID	EX	MEM	WB
分岐遅延命令 (i + 1)					
分岐先					
分岐先 + 1					
分岐先 + 2					

28

遅延分岐スロットのスケジューリング



29

アナウンス

- 講義スライド, 講義スケジュール
- www.arch.cs.titech.ac.jp

30