

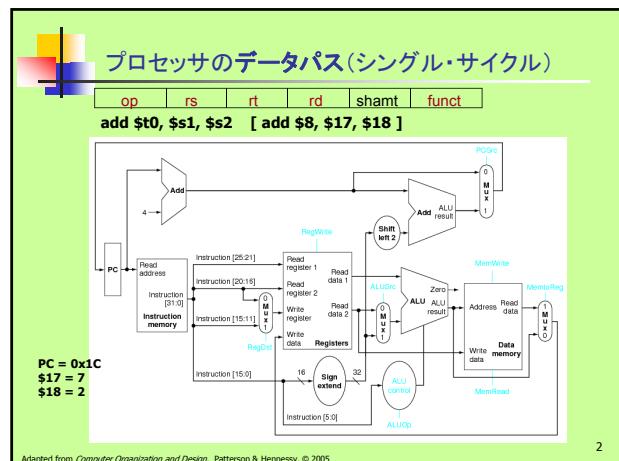
2012年 後学期

## 計算機アーキテクチャ 第二 (O)

### 4. パイプライン処理

大学院情報理工学研究科 計算工学専攻  
吉瀬謙二 kise\_at\_cs.titech.ac.jp  
S321講義室 月曜日 5, 6時限 13:20-14:50

1



MIPSの基本的な5つのステップ(ステージ)

- IF (Instruction fetch) ステージ**  
メモリから命令をフェッチする。
- ID (Instruction decode and register file read) ステージ**  
命令をデコードしながら、レジスタを読み出す。
- EX (Execution or address calculation) ステージ**  
命令操作の実行またはアドレスの生成を行う。
- MEM (Data memory access) ステージ**  
データ・メモリ中のオペランドにアクセスする。
- WB (Write back) ステージ**  
結果をレジスタに書き込む。

3

機能レベルのプロセッサシミュレータ

```
/* ** SimCore/MIPS since 2006-10-08 Kenji KISE, Tokyo Tech ** */
/* ** ***** ***** ***** ***** ***** ***** ***** ***** ***** */
#define _NAME "SimCore/MIPS Functional Simulator since 2006-11"
#define _LVER "V.0.6.4_simple 2012-10-07"
/* ***** ***** ***** ***** ***** ***** ***** ***** ***** */
#define D_NOP 0x000
#define D_ADD 0x001
#define D_SRL 0x002
#define D_JR 0x003
#define D_BEQ 0x004
#define D_ADDU 0x005
#define D_SUB 0x006
#define D_SUBU 0x007
#define D_J 0x008
#define D_OR 0x009
#define D_XORE 0x00a
#define D_NOR 0x00b
#define D_SLT 0x00c
#define D_SLTU 0x00d
#define D_BEQZ 0x00e
#define D_BEQZU 0x00f
#define D_JAL 0x010
#define D_ADDI 0x011
#define D_SLTI 0x012
#define D_XM 0x013
#define D_SX 0x014
#define D_BEQZI 0x015
#define D_NOPF 0xffff /* not-implemented instruction */

```

adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

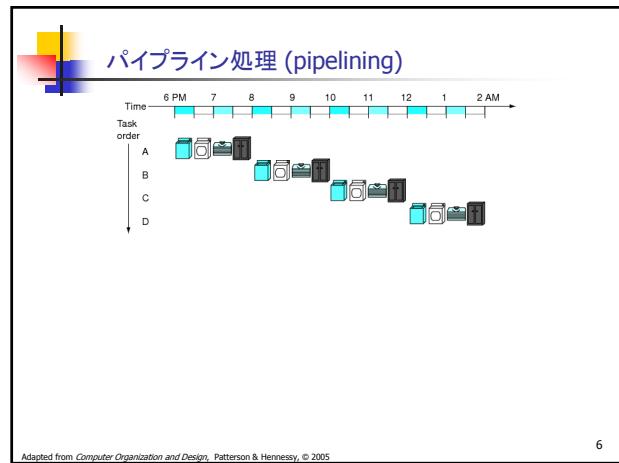
4

パイプライン処理 (pipelining)

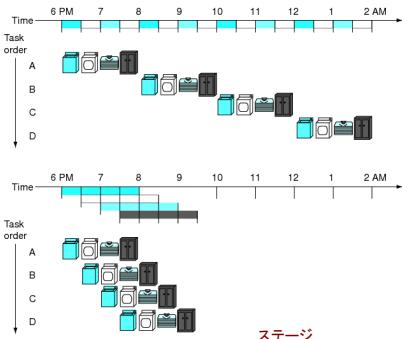
Washing approach to laundry would be:

1. Place one dirty load of clothes in the washer.
2. When the washer is finished, place the wet load in the dryer.
3. When the dryer is finished, place the dry load on a table and fold.

5



## パイプライン処理 (pipelining)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

## パイプライン処理 (pipelining)

- Consider the following approach to laundry. It has intuitively used pipelining. The steps are:
1. Place one dirty load of clothes in the washer.
  2. When the washer is finished, place the wet load in the dryer.
  3. When the dryer is finished, place the dry load on a table and fold.
  4. When folding is finished, ask your roommate to put the clothes away.
- When your roommate is done, then start over with step 1.

8

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

## パイプライン処理 (pipelining)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

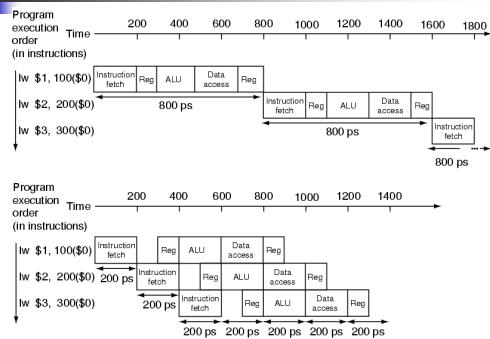
## MIPSの基本的な5つのステップ(ステージ)

- **IF (Instruction fetch)ステージ**  
メモリから命令をフェッチする.
- **ID (Instruction decode and register file read)ステージ**  
命令をデコードしながら、レジスタを読み出す.
- **EX (Execution or address calculation) ステージ**  
命令操作の実行またはアドレスの生成を行う.
- **MEM (Data memory access) ステージ**  
データ・メモリ中のオペランドにアクセスする.
- **WB (Write back) ステージ**  
結果をレジスタに書き込む.

10

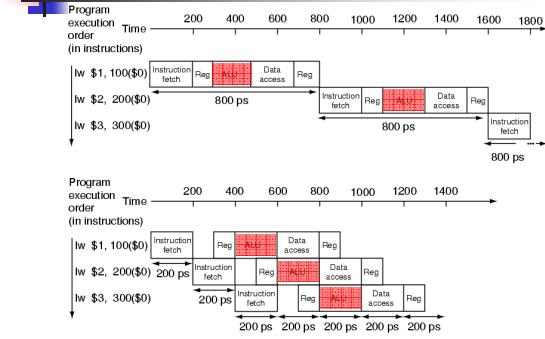
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

## パイプライン処理 (pipelining)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

## パイプライン処理 (pipelining)



12

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

## パイプラインによる速度向上

- パイプラインステージの数(段数):  $n$
- 実行する命令の数:  $s$
- パイプライン化されたプロセッサのクロックを単位時間とする。
- 全命令が終了するまでの理想的なサイクル数
  - $n + s - 1$
- パイプラインを利用しないシングルサイクルのプロセッサ
  - $n * s$

13

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

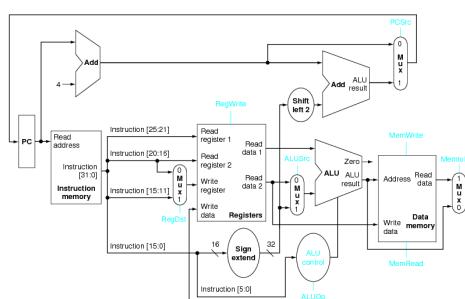
## パイプライン処理のポイント

- 处理の分割
  - ある処理(命令の実行)をできるだけ均等なステージに分割
  - 例えば、均等な10段のステージに分割
- 处理のためのハードウェア資源の投入
  - それぞれのステージを処理するためのハードウェアを準備
  - 例えば、10段のステージに分割した場合には、それぞれのステージの処理を担当する10個のハードウェアユニットを準備
- 处理の進行
  - それぞれのハードウェアがある命令のステージを処理する。
  - それぞれのハードウェアが独立に作業できるように、入力と出力にレジスタを挿入。

14

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

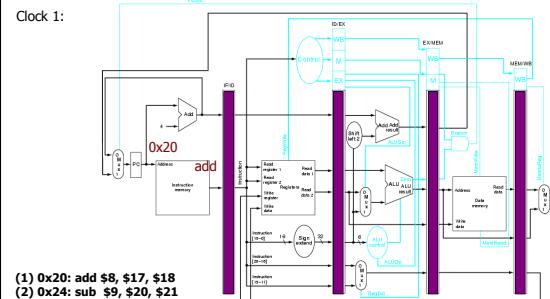
## プロセッサのデータパス(シングル・サイクル)



15

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

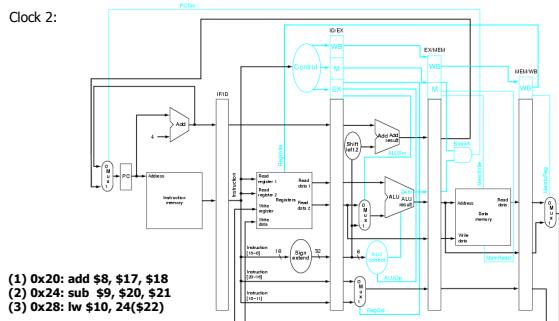
## プロセッサのデータパス(パイプライン処理)



16

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

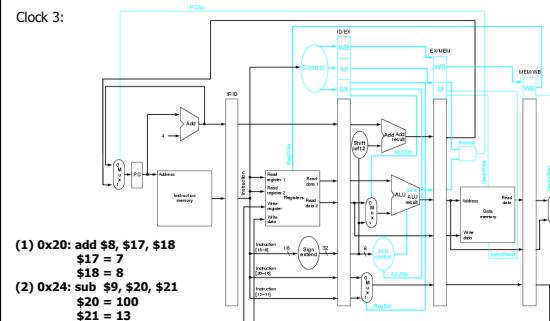
## プロセッサのデータパス(パイプライン処理)



17

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

## プロセッサのデータパス(パイプライン処理)



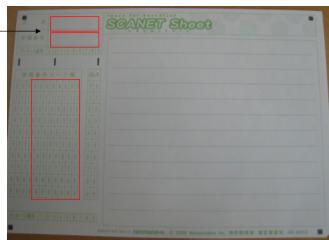
18

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

## Exercise

Clock 3 における各パイプラインステージの様子を示せ。

氏名、学籍番号、  
学籍番号マーク欄(右詰で)



19

Adapted from *Computer Organization and Design*, Patterson & Hennessy, © 2005

## アナウンス

- 講義スライド、講義スケジュール
- [www.arch.cs.titech.ac.jp](http://www.arch.cs.titech.ac.jp)

20

Adapted from *Computer Organization and Design*, Patterson & Hennessy, © 2005