

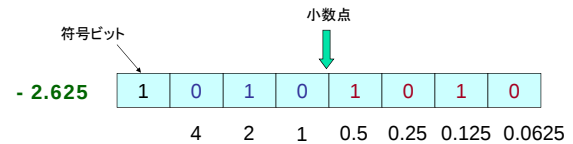
計算機アーキテクチャ 第一 (E)

データ形式(2)

吉瀬 謙二 計算工学専攻
kise_at_cs.titech.ac.jp
W641講義室 木曜日13:20 - 14:50

固定小数点表現

- あまり利用されない
 - 小数点の位置を固定する



4

整数の表現のまとめ

- 符号なし表現
- 符号つき絶対値表現
- 1の補数表現
- 2の補数表現
 - 最上位ビットのみで正負判定が可能.
 - 正負の反転が容易.
 - ビット幅の異なるデータへの変換が容易.
 - 符号なし整数と同じハードウェアで符号付き加算を実装

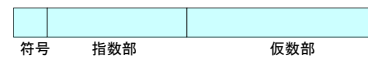
2

浮動小数点表現(1)

- 小数点位置が変動
- 科学記数法で数値で先頭に0がない正規化数を利用.

$$1.\text{xxxxxxxxxx} \times 2^{\text{yyyy}}$$

指数部
仮数部



5

実数

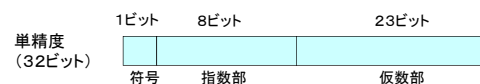
- 少数を含む数値
- 実数の例
 - 3.1415926... (π)
 - 0.000000001, 1.0×10^{-9}
 - 3,155,760,000, 3.1556×10^9

科学記数法: 小数点の左側には数字を一つしか書かない。
科学記数法で書いた数値で先頭に0がないものを正規化数と呼ぶ。

3

浮動小数点表現(2)

- IEEE754



6

浮動小数点表現(3)

- 誤差
 - 実数は不可算無限
 - 決められたビットで表現できる数は有限
 - 丸め誤差が発生
- 表現できないほど大きな数
- 表現できないほど小さな数
- 非常に大きな数と、非常に小さな数の間の演算
- 10進数で 0.10 は、
2進数で 0.0001100110011... どうすれば良いか？

Packed decimal

7

MIPSCORE (Single-Cycle Version Processor)

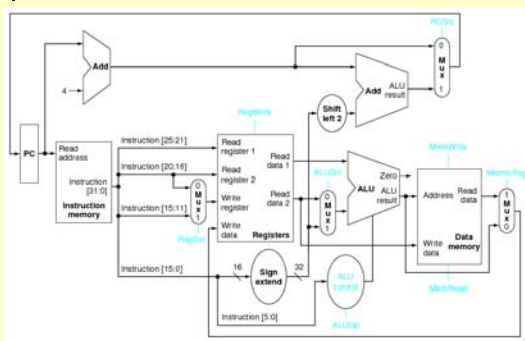


- Video

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

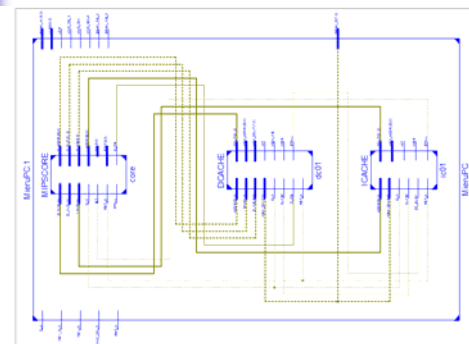
10

プロセッサのデータパス(シングル・サイクル)



8

MIPSCORE & I-Cache & Data Cache



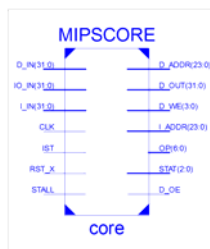
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

11

MIPSCORE (Single-Cycle Version Processor)

```

module MIPSCORE(CLK, RST_X, STALL, IST, STAT, I_ADDR, I_IN, D_ADDR, D_IN, D_OUT, D_OE, D_WE, IO_IN, OP);
    input CLK;
    output reg [2:0] STAT;
    output [1:0] I_ADDR;
    output [31:0] I_IN;
    output [31:0] D_ADDR;
    output [31:0] D_IN;
    output [31:0] D_OUT;
    output [31:0] D_OE;
    output [31:0] D_WE;
    output [4:0] OP;
endmodule
    
```

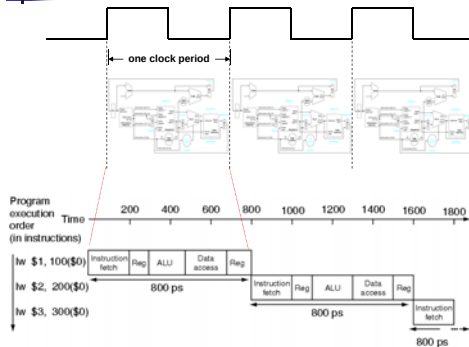


- 32bit RISC Processor
- No hardware divider
 - software emulation
- No floating-point unit

9

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

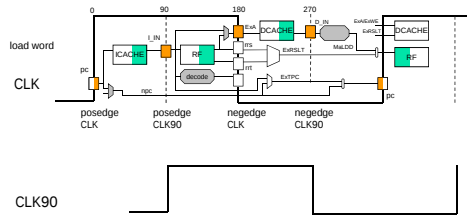
プロセッサのデータパス(シングル・サイクル)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

12

MIPSCORE (Single-Cycle Version Processor)



- CLK, CLK90
- positive edge, negative edge

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

13

MIPSCORE (Single-Cycle Version Processor)

Ispice Project Status: 01/27/2010 - 20:58:30				
Project File:	ispice	Implementation State:	Programming File Generated	
Module Name:	mipsc01	Errors:	No Errors	
Target Device:	xc3s250e-4-q100	Warnings:	245 Warnings (0 Fatal)	
Product Version:	EIE 11.5	Routing Results:	All Signals Successfully Routed	
Design Goal:	Default	Timing Constraints:	All Constraints Met	
Design Strategy:	Use Default (Auto)	Final Timing Score:	0 Setup, 0 Hold, 0 Component Switching Limit (0 Error Report)	

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Notes
Number of Slice Flip-Flops	1,231	6,312	148%	
Number of 4 input LUTs	6,478	9,217	69%	
Number of occupied Slices	3,694	4,094	90%	
Number of Slices containing only related logic	3,694	3,694	100%	
Number of Slices containing unrelated logic	0	3,694	0%	
Total Number of 4 input LUTs	1,594	9,212	17%	
Number used as logic	6,041			
Number used as a router thru	641			
Number used for Dual Port RAMs	129			
Number used for DCM RAMs	294			
Number of loaded DCMs	42	56	63%	
Number of RAMB16s	13	23	56%	
Number of BRAM216s	3	24	12%	
Number of DCMs	2	4	50%	
Average Fanout of Non-Clock Nets	3.28			

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

16

シングルサイクル版プロセッサの実装

- Target hardware : MieruPC-2010
- XILINX Spartan-3E XC3S250E (25万ゲート相当 FPGA)
- 512KB SRAM

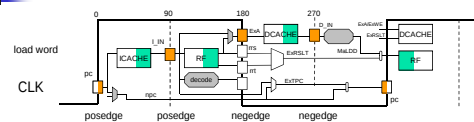


FPGA Card RC2 (ただし, 50万ゲートのFPGAに変更)

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

14

MIPSCORE (Single-Cycle Version Processor)



- CLK
- 18MHz, 55.5 ns
- 1/4 CLK = 13.889 ns

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

17

XILINX Spartan-3E FPGA

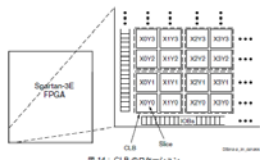


図 14: CLB の配置

表 9: Spartan-3E の CLB リソース

デバイス	CLB の 行数	CLB の 列数	CLB の 総数	スライス 数	LUT/4入力 マルチプレクサー 数	乗算器 数	ロジック RAM 16 ビット数	9ビット RAM の ビット数
XC3S100E	22	36	240	960	1,820	2,180	960	15,360
XC3S250E	34	36	612	2,448	4,896	5,508	2,448	39,168
XC3S500E	46	34	1,564	6,256	9,312	10,476	4,876	74,496
XC3S1200E	60	46	2,160	8,672	17,344	19,512	8,672	138,752
XC3S4000E	76	58	3,688	14,752	29,504	33,392	14,752	236,032

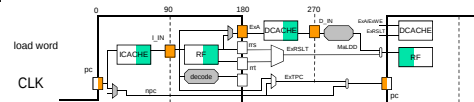
1. フロップ バックグラウンドアプレックスおよび DCM は CLB の範囲内に含まれていないため (スキーム 1 の図 1 を参照)。CLB の構成は付いた列の値の総和よりも多くなります。

Spartan-3E FPGA ファミリー: データシート より

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

15

MIPSCORE (Single-Cycle Version Processor)

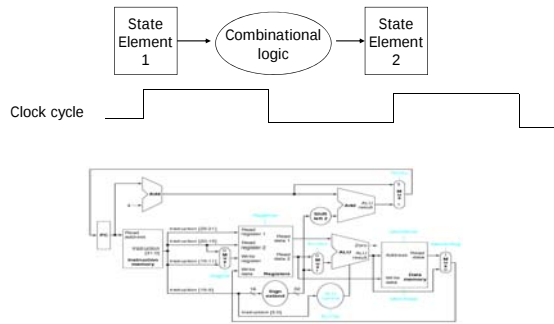


- CLK, CLK90
- positive edge, negative edge
- 18MHz, 13.3 VAX MIPS

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

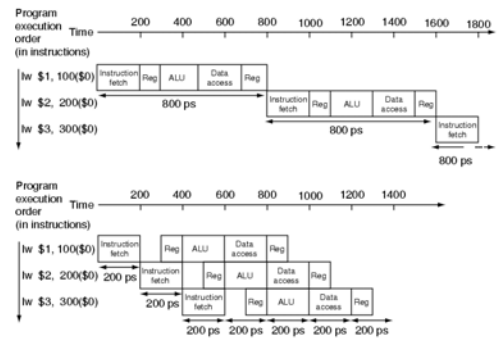
18

エッジトリガ方式による設計



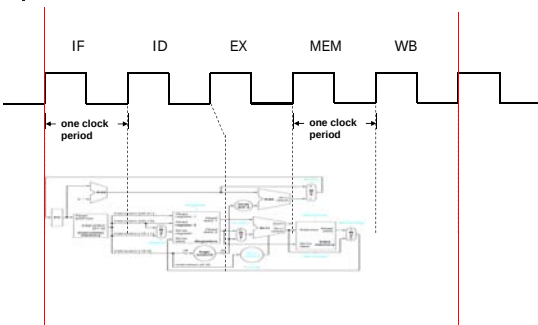
19

パイプライン処理 (pipelining)



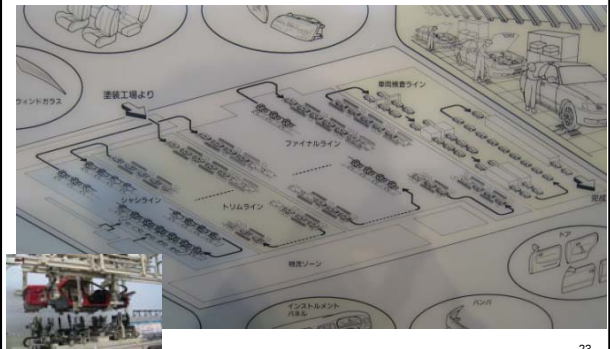
22

プロセッサのデータパス (マルチ・サイクル)



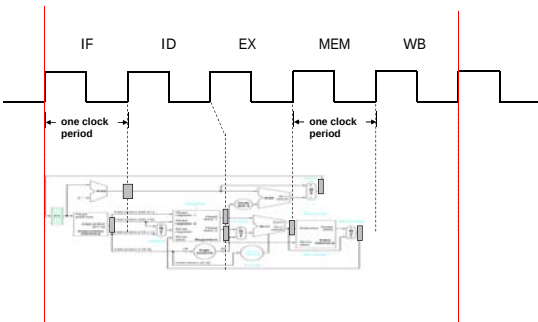
20

パイプライン処理 (pipelining)



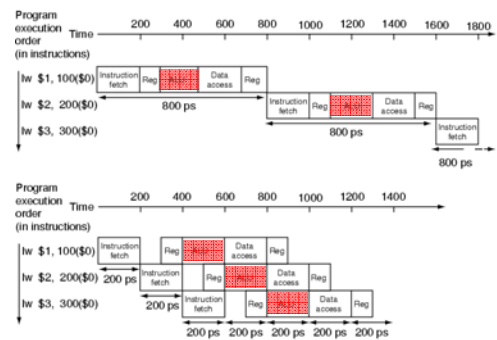
23

プロセッサのデータパス (マルチ・サイクル)



21

パイプライン処理 (pipelining)



24

プロセッサの3つの実現方式

- シングル・サイクル
- マルチ・サイクル
- パイプライン処理

25

Discussion

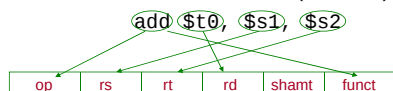
- RISC (Reduced Instruction Set Computer)
 - MIPS, SPARC ...
- CISC (Complex Instruction Set Computer)
 - IA(Intel Architecture)-32 or x8086, ...

28

オペランド数

- 3オペランド
 - MIPS, ...
- 2オペランド
 - SuperH $ADD\ Rm, Rn : Rn \leftarrow Rn + Rm$

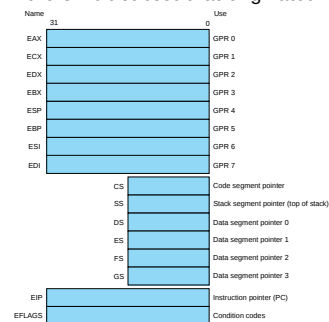
- MIPS Arithmetic Instruction Format (R format):



26

IA-32 Registers and Data Addressing

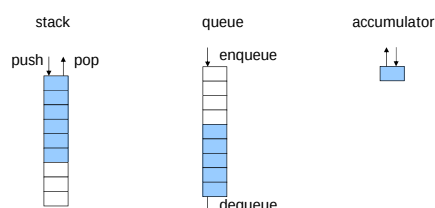
- Registers in the 32-bit subset that originated with 80386



29

基本記憶方式

- general-purpose register architecture
- stack architecture
- queue architecture
- accumulator architecture



27

IA-32 Typical Instructions

- Four major types of integer instructions:
 - Data movement including move, push, pop
 - Arithmetic and logical (destination register or memory)
 - Control flow (use of condition codes / flags)
 - String instructions, including string move and string compare

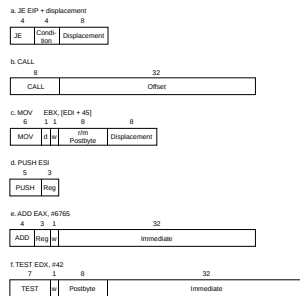
Instruction	Function
JE name	If equal (condition code) {EIP=name}; EIP-128 ≤ name < EIP+128
JMP name	EIP=name
CALL name	SP=SP-4; M[SP]=EIP+5; EIP=name;
MOVW EBX, [EDI+45]	EBX=M[EDI+45]
PUSH ESI	SP=SP-4; M[SP]=ESI
POP EDI	EDI=M[SP]; SP=SP+4
ADD EAX, #6765	EAX=EAX+6765
TEST EDX, #42	Set condition code (flags) with EDX and 42
MOVSX	M[EDI]=M[ESI]; EDI=EDI+4; ESI=ESI+4

FIGURE 2.43 Some typical IA-32 instructions and their functions. A list of frequent operations appears in Figure 2.44. The CALL saves the EIP of the next instruction on the stack. (EIP is the Intel PC.)

30

IA-32 instruction Formats

- Typical formats: (notice the different lengths)



31

アナウンス

- 講義スライドおよびスケジュール
 - www.arch.cs.titech.ac.jp
 - 講義日程が変更になることがあるので頻繁に確認すること。

32