



23

4

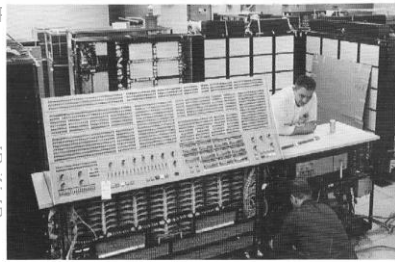
5

5

命令発行機構: Tomasuloのアプローチ

- IBM 360/91 の浮動小数点ユニットでは、アウトオブオーダー

The IBM 360/91



Installation of the IBM 360/91 in the Columbia Computer Center machine room in February or March 1969. Photo: AIS archive.
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

7

Tomasuloのアプローチ

- (1) レジスタリネーミングを導入してWAWハザードとWARハザードを回避

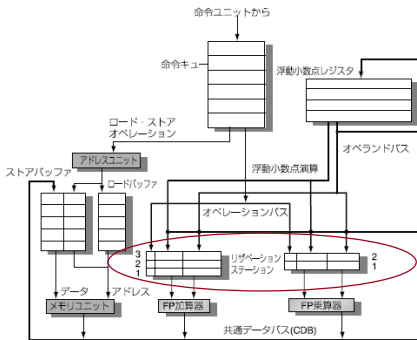
- S と T という2つの一時レジスタが利用できると仮定

DIV. D	F0, F2, F4		DIV. D	F0, F2, F4
ADD. D	F6, F0, F8		ADD. D	S, F0, F8
S. D	F6, 0(R1)	→	S. D	S, 0(R1)
SUB. D	F8, F10, F14		SUB. D	T, F10, F14
MUL. D	F6, F10, F8		MUL. D	F6, F10, T

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

8

Tomasuloのアプローチ



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

9

Tomasuloのアプローチ

- それぞれの演算器 (FP加算器, FP乗算器など) は、そこで実行される命令のみを蓄える、分散化された命令ウィンドウを持つ。これをリザベーションステーションと呼ぶ。
- リザベーションステーションに、オペランドの値を格納することで、レジスタファイルを経由しないオペランドの受け渡しを実現。
- 保留中の命令は、その入力を提供するリザベーションステーションの情報を持つ。
- 命令がディスパッチ (リザベーションステーションに格納) される時、保留中のオペランド用のレジスタ指示子をリザベーションステーションの名前にリネームする。
- 複数の同じレジスタへの書き込みが生じる場合には最後のデータのみをレジスタに書き込む。

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

10

Tomasuloのアプローチ

- 集中化された構成ではなく、リザベーションステーションを使用することによる2つの重要な利点
- (1) ハザード検出および実行制御の分散化
 - 各機能ユニットはリザベーションステーションに保持された情報によって、そのユニットでいつ命令が実行を始めるかを決定する。
- (2) 実行結果がレジスタを経由するオーバーヘッドを隠蔽
 - 実行結果 (オペランド) が格納されているリザベーションステーションから機能ユニットにオペランドが直接渡され、レジスタを経由する必要がない。
 - 実行結果は、共通の結果バスでバイパスされ、オペランドを待つ全てのリザベーションステーションが同時に値を取得する。
 - このバスは、IBM 360/91 で共通データバス (CDB: common data bus) と呼ばれる。
 - 複数の実行ユニットを備えたパイプラインでは2つ以上のバスが必要

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

11

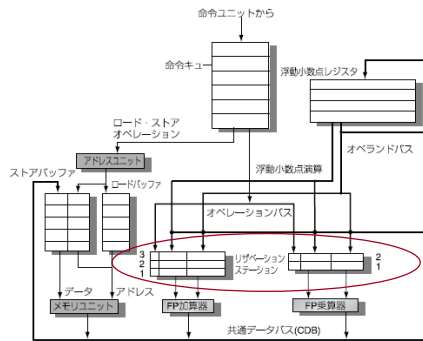
Tomasuloのアプローチ

- ロードバッファの3つの機能
 - 計算されるまでの間、実効アドレスの要素を保持
 - メモリからデータが到着するのを待っている処理中のロード命令を通知
 - 完了してCDBの利用を待っているロードの結果を保持
- ストアバッファの3つの機能
 - 計算されるまでの間、実効アドレスの要素を保持
 - データ値がストアされるのを待っている処理中のストア命令の書き込み先メモリアドレスを保持
 - メモリユニットが利用可能になるまで格納するアドレスおよび値を保持
- 浮動小数点機能ユニットとロードユニットの結果はすべてCDBを経由して、レジスタファイル、リザベーションステーション、ストアバッファに送られる。

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

12

Tomasuloのアプローチ



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

13

Tomasuloのアプローチ

1. リザベーションステーションへの命令格納

- 命令キュー(正確なデータフローを保証するためにFIFOで命令を格納している)のヘッド(先頭)から命令を取り出す。適切な(当該命令を処理する演算器の)リザベーションステーションに空きがある場合は、そこに命令を送る。
- レジスタファイルがオペランドを持つ場合、その値も同時にリザベーションステーションに送られる。空のリザベーションステーションがない場合、構造ハザードとなり、リザベーションステーションやバッファが解放されるまでストール。
- オペランド値がレジスタファイルにない場合(その値はまだ生成されていない)、オペランド値を生成する命令が格納されているリザベーションステーションを検出する。このステップがレジスタリネーミングに対応し、WARとWAWハザードを除去する。

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

14

Tomasuloのアプローチ

2. 命令実行の開始と実行(execute)

- 1つ以上のオペランドがまだ利用できない場合は、値が送られてくるのを待ちながら共通データベースを監視する。オペランドが利用可能になった時に、それを待つリザベーションステーションに格納する。すべてのオペランドが利用可能になった時に、そのオペレーションは対応する機能ユニットで実行できる。
- すなわち、オペランドが利用可能になるまで命令の実行を遅らせることによって、RAWハザードを回避する。
- 同じ機能ユニットを利用する複数の命令が同一のクロックサイクルにおいて実行可能になるかもしれない点に注意する。同じクロックサイクルにおいて、個々の機能ユニットは異なる命令の実行を開始することができるが、1つの機能ユニットに対して2つ以上の命令が実行可能であれば、ユニットはそれらの中から1つを選択する。
 - 整数演算、浮動小数点演算のリザベーションステーションについては、この選択は任意の方法で行うことができる。ロードとストアの場合には制約を考慮する必要がある。

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

15

Tomasuloのアプローチ

2. 実行(execute)の続き

- ロードとストアは2段階の実行過程を必要とする。第1段階では、ベースレジスタが利用可能な場合に実効アドレスを計算する。また、得られた実効アドレスをロード・ストアバッファに格納する。第2段階では、メモリユニットが利用可能になるとすぐに、ロードバッファのロード命令を実行する。
- ストアバッファのストア命令は、メモリユニットに送られる前に、ストアすべき値を待たなければならない。ロードとストアは実効アドレス計算を通じてプログラム順序を維持する。それによって、メモリを経由するハザードに対処できる。
- 例外の振る舞いを維持するために、命令は、プログラム順序において先行する分岐がすべて完了するまで実行を始めてはいけない。この制約により、実行中に例外を引き起こす命令が実際に実行を完了するというのが保証される。
 - 分岐予測を利用するプロセッサ(動的スケジューリングのすべてのプロセッサがそうであるが)では、分岐に続く命令の実行を始める前に、分岐予測が正しいことをプロセッサが知らなければならないことを意味する。

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

16

Tomasuloのアプローチ

3. 結果書き込み(Write Result)

- 結果が利用可能になったら、CDBに結果を流し、そこからレジスタ、およびこの結果を待っているすべてのリザベーションステーション(ストアバッファを含む)に書き込む。
- ストアされる値およびストアするメモリのアドレスの両方が利用可能になるまで、ストア命令はストアバッファの中に保存され、メモリユニットが利用可能になるとすぐに結果が格納される。

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

17

Tomasuloのアプローチ

リザベーションステーションが保有する7つのフィールド

- Op**: ソースオペランドS1 およびS2 に対して行うオペレーション
- Qj, Qk**: 対応するソースオペランド値を生成するリザベーションステーションの番号。値が0の場合は、ソースオペランドがVj またはVkとしてすでに利用可能であるか、不必要であることを示す。
- Vj, Vk**: ソースオペランドの値。各オペランドについては、VフィールドあるいはQフィールドのどちらかが常に有効となる。ロード命令については、Vkフィールドはオフセットフィールドを保持するために利用される。
- A**: ロードあるいはストア命令がメモリアドレス計算の情報を保持するために利用する。最初に、命令の即値のフィールドがここに格納される。アドレス計算の後には、実効アドレスが格納される。
- Busy**: 当該リザベーションステーション、および、対応する機能ユニットが占有されていることを示す。

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

18

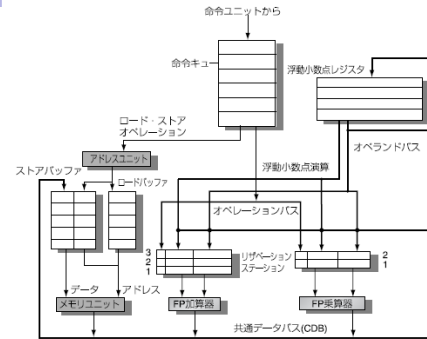
Tomasuloのアプローチ

- レジスタファイルの各エントリにはQi フィールドを追加
 - Qi : このレジスタへ実行結果を格納する操作を含んでいるリザベーションステーションの番号。
Qi の値がblank (すなわち0) の場合は、現在、このレジスタに格納すべき結果を計算する命令が実行中でない。このため、このレジスタに格納されている内容がその値となる。

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

19

Tomasuloのアプローチ



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

20

動的スケジューリングの例題

- 最初のロードだけが完了してその結果が書き戻されている時、次の命令列に対するスケジューリングの状態はどのようになっているか？

1. L. D F6, 32 (R2)
2. L. D F2, 44 (R3)
3. MUL. D F0, F2, F4
4. SUB. D F8, F2, F6
5. DIV. D F10, F0, F6
6. ADD. D F6, F8, F2

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

21

命令	命令状態				結果書き込み
	dispatch	実行			
1 L. D F6, 32 (R2)	✓	✓			✓
2 L. D F2, 44 (R3)	✓	✓			
3 MUL. D F0, F2, F4	✓				
4 SUB. D F8, F2, F6	✓				
5 DIV. D F10, F0, F6	✓				
6 ADD. D F6, F8, F2	✓				

リザベーションステーション							
名称	Busy	Op	Vj	Vk	Qj	Qk	A
1 Load1	no						
2 Load2	yes	Load					44 + Reg[R3]
4 Add1	yes	SUB		Mem[32 + Reg[R2]]	Load2		
6 Add2	yes	ADD			Add1	Load2	
Add3	no						
3 Mult1	yes	MUL		Reg[F4]	Load2		
5 Mult2	yes	DIV		Mem[32 + Reg[R2]]	Mult1		

レジスタ状態							
フィールド	F0	F2	F4	F6	F8	F10	F12 ... F30
Qi	Mult1	Load2		Add2	Add1	Mult2	

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

22

動的スケジューリングの例題

- 例題2.5 と同じコードセグメントを利用して、MUL.D がその結果を書く準備ができていている場合、状態テーブルがどのようになっているかを示せ。

1. L. D F6, 32 (R2)
2. L. D F2, 44 (R3)
3. MUL. D F0, F2, F4
4. SUB. D F8, F2, F6
5. DIV. D F10, F0, F6
6. ADD. D F6, F8, F2

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

23

命令	命令状態				結果書き込み
	dispatch	実行			
L. D F6, 32 (R2)	✓	✓			✓
L. D F2, 44 (R3)	✓	✓			✓
MUL. D F0, F2, F4	✓	✓			✓
SUB. D F8, F2, F6	✓	✓			✓
DIV. D F10, F0, F6	✓	✓			✓
ADD. D F6, F8, F2	✓	✓			✓

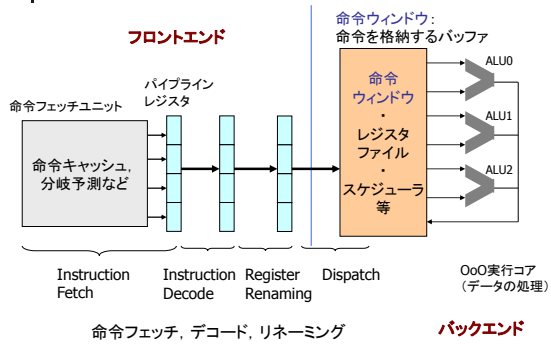
リザベーションステーション							
名称	Busy	Op	Vj	Vk	Qj	Qk	A
Load1	no						
Load2	no						
Add1	no						
Add2	no						
Add3	no						
Mult1	yes	MUL		Mem[44+Reg[R3]]	Reg[F4]		
Mult2	yes	DIV		Mem[34 + Reg[R2]]	Mult1		

レジスタ状態							
フィールド	F0	F2	F4	F6	F8	F10	F12 ... F30
Qi	Mult1					Mult2	

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

24

アウトオブオーダー実行プロセッサの構成



Adapted from *Computer Organization and Design*, Patterson & Hennessy, © 2005

25

アナウンス

- 講義スライド, 講義スケジュール
- www.arch.cs.titech.ac.jp

Adapted from *Computer Organization and Design*, Patterson & Hennessy, © 2005

26