

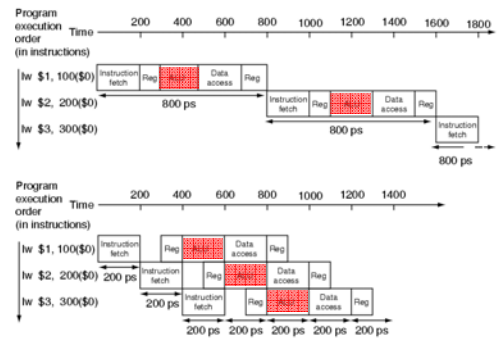
4. パイプライン処理

4. パイプライン処理

大学院情報理工学研究科 計算工学専攻
吉瀬謙二 kise_at_cs.titech.ac.jp
S321講義室 月曜日 5, 6時限 13:20-14:50

1

パイプライン処理 (pipelining)



Adapted from *Computer Organization and Design*, Patterson & Hennessy, © 2005

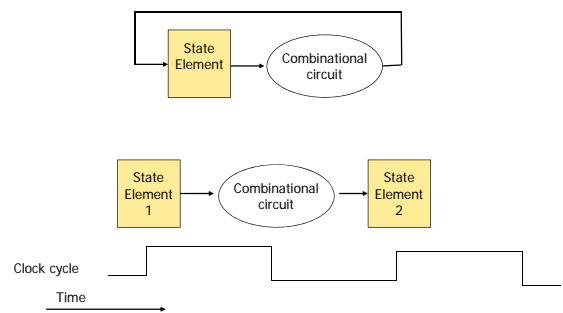
2

パイプラインによる速度向上

- パイプラインステージの数(段数): n
- 実行する命令の数: s
- パイプライン化されたプロセッサのクロックを単位時間とする.
- 全命令が終了するまでの理想的なサイクル数
 - $n + s - 1$
- パイプラインを利用しないシングルサイクルのプロセッサ
 - $n * s$

3

組み合わせ回路(combinational circuit)と
順序回路(sequential circuit)



Adapted from *Computer Organization and Design*, Patterson & Hennessy, © 2005

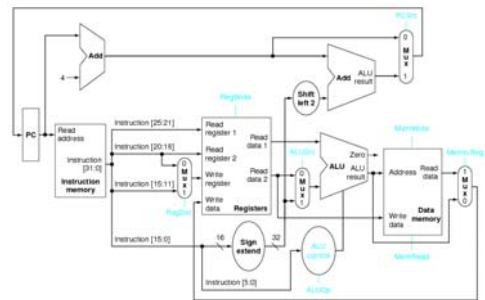
4

パイプライン処理のポイント

- **処理の分割**
 - ある処理(命令の実行)をできるだけ均等なステージに分割
 - 例えば、均等な10段のステージに分割
- **処理のためのハードウェア資源の投入**
 - それぞれのステージを処理するためのハードウェアを準備
 - 例えば、10段のステージに分割した場合には、それぞれのステージの処理を担当する10個のハードウェアユニットを準備
- **処理の進行**
 - それぞれのハードウェアがある命令のステージを処理する。
 - それぞれのハードウェアが独立に作業できるように、入力と出力にレジスタを挿入。

5

プロセッサのデータパス(シングル・サイクル)

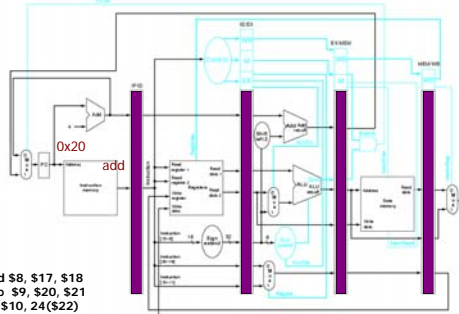


Adapted from *Computer Organization and Design*, Patterson & Hennessy, © 2005

6

プロセッサのデータパス(パイプライン処理)

Clock 1:



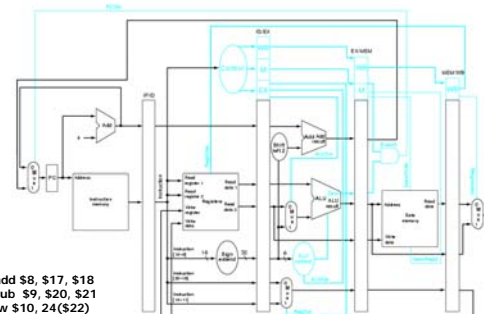
- (1) 0x20: add \$8, \$17, \$18
- (2) 0x24: sub \$9, \$20, \$21
- (3) 0x28: lw \$10, 24(\$22)

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

7

プロセッサのデータパス(パイプライン処理)

Clock 2:



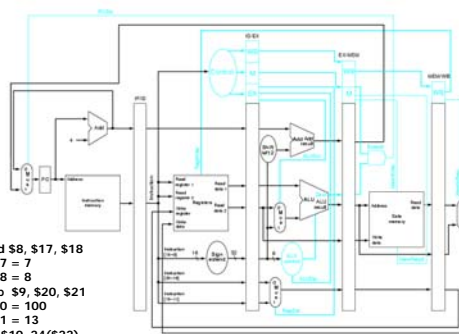
- (1) 0x20: add \$8, \$17, \$18
- (2) 0x24: sub \$9, \$20, \$21
- (3) 0x28: lw \$10, 24(\$22)

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

8

プロセッサのデータパス(パイプライン処理)

Clock 3:



- (1) 0x20: add \$8, \$17, \$18
\$17 = 7
\$18 = 8
- (2) 0x24: sub \$9, \$20, \$21
\$20 = 100
\$21 = 13
- (3) 0x28: lw \$10, 24(\$22)
\$22 = 128

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

9

Exercise

Clock 3 における各パイプラインステージの様子を示せ。

氏名, 学籍番号,
学籍番号マーク欄(右端)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

10

ハザード (hazard)

命令を適切なサイクルで実行できないような状況が存在する。これをハザードと呼ぶ。

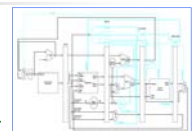
- 構造ハザード (structural hazard)
 - オーバラップ実行する命令の組み合わせをハードウェアがサポートしていない場合。
 - 資源不足により生じる。
- データ・ハザード (data hazard)
 - データの受け渡しの制約によって生じるハザード
- 制御ハザード (control hazard)
 - 分岐命令, ジャンプ命令によって生じるハザード

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

11

MIPSの基本的な5つのステップ(ステージ)

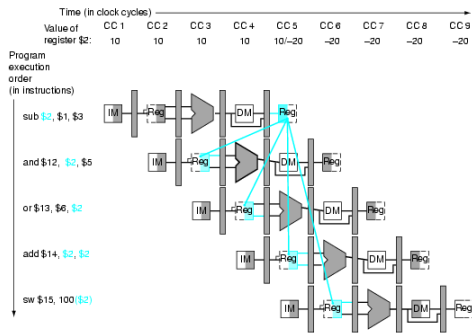
- IFステージ
メモリから命令をフェッチする。
- IDステージ
命令をデコードしながら, レジスタを読み出す。
- EXステージ
命令操作の実行またはアドレスの生成を行う。
- MEMステージ
データ・メモリ中のオペランドにアクセスする。
- WBステージ
結果をレジスタに書き込む。



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

12

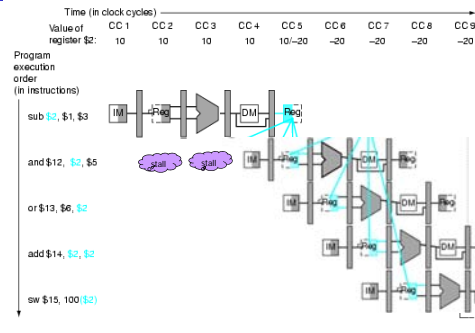
データハザード



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

13

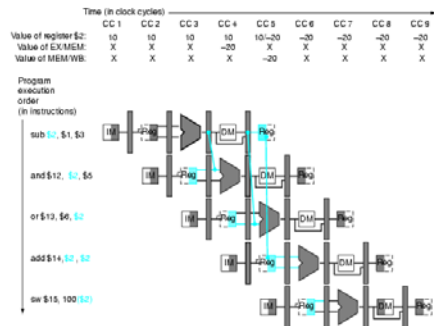
データハザード (ストール)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

14

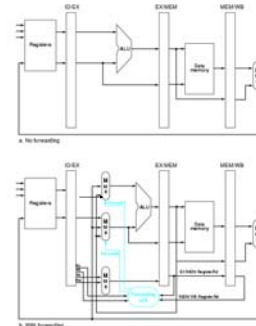
フォワーディングによるデータハザードの回避



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

15

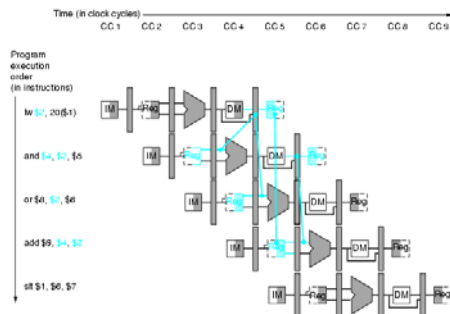
フォワーディングのための変更点



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

16

データハザードによる生じるストール



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

17

ハザード (hazard)

命令を適切なサイクルで実行できないような状況が存在する。これをハザードと呼ぶ。

- **構造ハザード (structural hazard)**
 - オーバラップ実行する命令の組み合わせをハードウェアがサポートしていない場合。
 - 資源不足により生じる。
- **データハザード (data hazard)**
 - データの受け渡しの制約によって生じるハザード
- **制御ハザード (control hazard)**
 - 分岐命令、ジャンプ命令によって生じるハザード

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

18

単純な5段のRISCのパイプライン

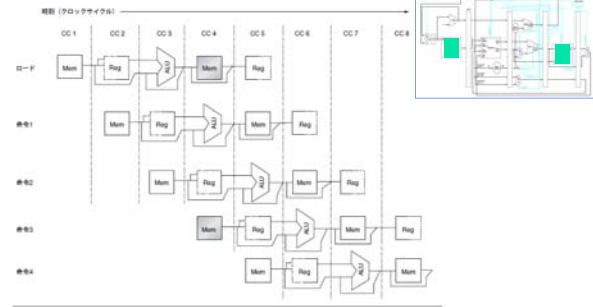
| 命令数 | クロック数 | | | | | | | | |
|----------|-------|----|----|-----|-----|-----|-----|-----|----|
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |
| 命令 i | IF | ID | EX | MEM | WB | | | | |
| 命令 $i+1$ | | IF | ID | EX | MEM | WB | | | |
| 命令 $i+2$ | | | IF | ID | EX | MEM | WB | | |
| 命令 $i+3$ | | | | IF | ID | EX | MEM | WB | |
| 命令 $i+4$ | | | | | IF | ID | EX | MEM | WB |

プロセッサ性能はパイプライン化されていないものと比較して**最大で5倍**になる。

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

19

メモリポートを1つしか持たないプロセッサ



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

20

構造ハザードによるパイプラインストール

| 命令 | クロックサイクル | | | | | | | | | |
|----------|----------|----|----|-----|-----|-----|-----|-----|-----|----|
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| ロード命令 | IF | ID | EX | MEM | WB | | | | | |
| 命令 $i+1$ | | IF | ID | EX | MEM | WB | | | | |
| 命令 $i+2$ | | | IF | ID | EX | MEM | WB | | | |
| 命令 $i+3$ | | | | IF | ID | EX | MEM | WB | | |
| 命令 $i+4$ | | | | | IF | ID | EX | MEM | WB | |
| 命令 $i+5$ | | | | | | IF | ID | EX | MEM | |
| 命令 $i+6$ | | | | | | | IF | ID | EX | |

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

21

アナウンス

- 講義スライド, 講義スケジュール
- www.arch.cs.titech.ac.jp

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

22