

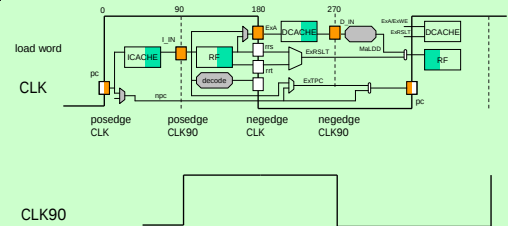
計算機アーキテクチャ特論 (Advanced Computer Architectures)

4. パイプライン, スカラプロセッサ

吉瀬 謙二 計算工学専攻
kise_at_cs.titech.ac.jp www.arch.cs.titech.ac.jp
W831 講義室 木曜日 9:00 - 10:30

1

MIPSCORE (Single-Cycle Version Processor)



- CLK, CLK90
 - positive edge, negative edge
- **18MHz, 13.3 VAX MIPS**

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

2

MIPSCORE (Single-Cycle Version Processor)

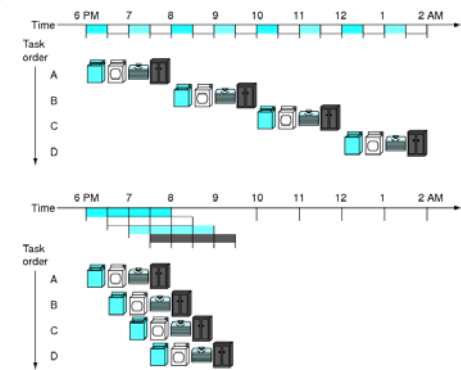


- Video

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

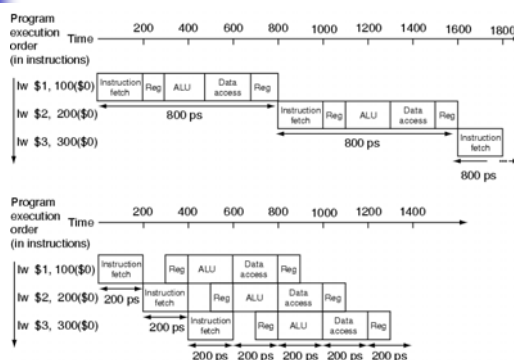
3

パイプライン処理 (pipelining)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

パイプライン処理 (pipelining)



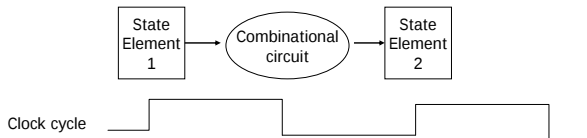
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

MIPSの基本的な5つのステップ (パイプラインステージ)

- **IFステージ**
メモリから命令をフェッチする。
- **IDステージ**
命令をデコードしながら、レジスタを読み出す。
- **EXステージ**
命令操作の実行またはアドレスの生成を行う。
- **MEMステージ (MAステージ)**
データ・メモリ中のオペランドにアクセスする。
- **WBステージ**
結果をレジスタに書き込む。

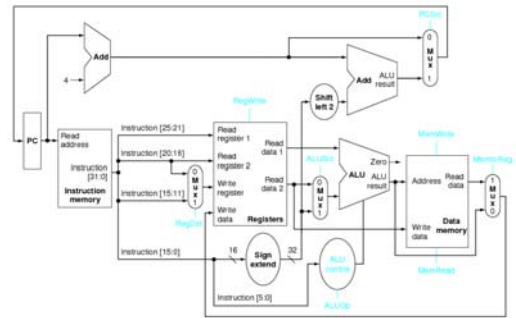
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

組み合わせ回路(combinational circuit)と 順序回路(sequential circuit)



Adapted from *Computer Organization and Design*, Patterson & Hennessy, © 2005

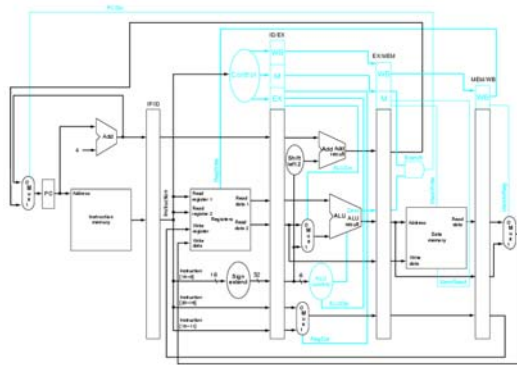
プロセッサのデータパス(シングル・サイクル)



Adapted from *Computer Organization and Design*, Patterson & Hennessy, © 2005

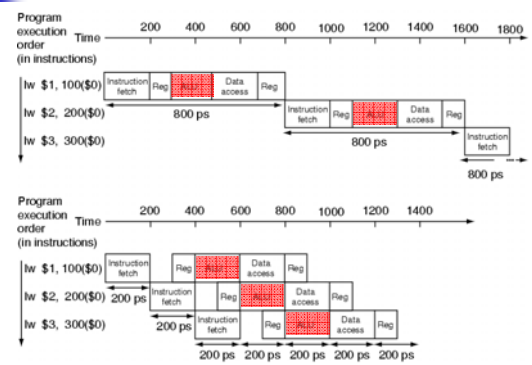
8

プロセッサのデータパス(パイプライン処理)



Adapted from *Computer Organization and Design*, Patterson & Hennessy, © 2005

パイプライン処理 (pipelining)



Adapted from *Computer Organization and Design*, Patterson & Hennessy, © 2005

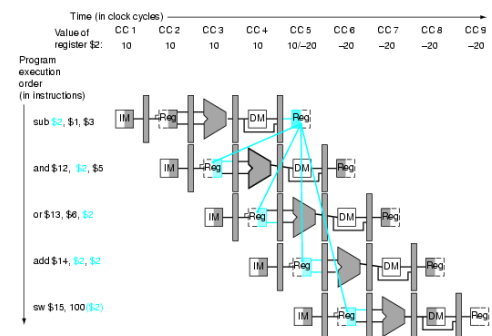
ハザード (hazard)

命令を適切なサイクルで実行できないような状況が存在する。これをハザードと呼ぶ。

- 構造ハザード (structural hazard)
 - オーバラップ実行する命令の組み合わせをハードウェアがサポートしていない場合。
 - 資源不足により生じる。
- データ・ハザード(data hazard)
- 制御ハザード(control hazard)

Adapted from *Computer Organization and Design*, Patterson & Hennessy, © 2005

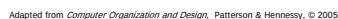
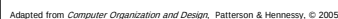
データハザード



Adapted from *Computer Organization and Design*, Patterson & Hennessy, © 2005

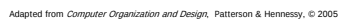


14



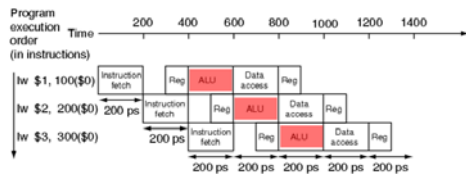
10

Adapted from *Computer Organization and Design*, Patterson & Hennessy, © 2005



スカルプロセッサ

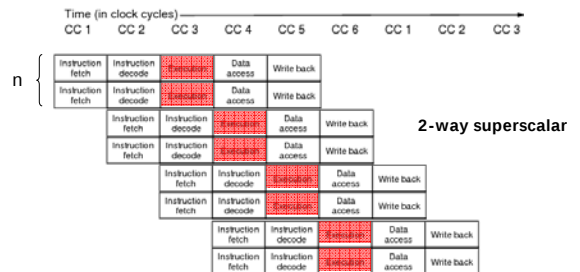
- サイクル当たりの実行命令数
Executed Instructions per Cycle (IPC)
- IPCが1を超えることはできない。



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

スーパースカラ・プロセッサと命令レベル並列性

- 複数のパイプラインを利用して IPC を 1以上に引き上げる
 - n-way スーパースカラ
- ハザードの積極的な解消とストールの隠蔽が重要



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

アナウンス

- 講義スライド, 講義スケジュール
 - www.arch.cs.titech.ac.jp

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005