

計算機アーキテクチャ特論 (Advanced Computer Architectures)

4. レジスタ・リネーミング, メモリ・データフロー

吉瀬 謙二 計算工学専攻
kise_at_cs.titech.ac.jp www.arch.cs.titech.ac.jp
W832 講義室 金曜日 13:20 - 14:50

1

ハザード (hazard)

命令を適切なサイクルで実行できないような状況が存在する。これをハザードと呼ぶ。

- 構造ハザード (structural hazard)
 - オーバラップ実行する命令の組み合わせをハードウェアがサポートしていない場合。
 - 資源不足により生じる。
- データ・ハザード (data hazard)
- 制御ハザード (control hazard)

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

データ依存関係のない命令列

レジスタ

R3 := R3 + 1 (1)
R4 := R4 + 1 (2)
R5 := R5 + 1 (3)
R6 := R6 + 1 (4)

代入

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

データ依存関係のある命令列

R3 := R3 x R5 (1)
R4 := R3 + 1 (2)
R3 := R5 + 1 (3)
R7 := R3 x R4 (4)

If R3=20, R5=3

60 := 20 x 3 (1)
61 := 60 + 1 (2)
4 := 3 + 1 (3)
244 := 4 x 61 (4)

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

真のデータ依存 (true data dependence)

R3 := R3 x R5 (1)
R4 := R3 + 1 (2)
R3 := R5 + 1 (3)
R7 := R3 x R4 (4)

If R3=20, R5=3

60 := 20 x 3 (1)
61 := 60 + 1 (2)
4 := 3 + 1 (3)
244 := 60 x 61 (4)

3番目の命令が完了する前に、4番目の命令を実行してはいけない。
RAW (read after write)

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

出力依存 (output dependence)

R3 := R3 x R5 (1)
R4 := R3 + 1 (2)
R3 := R5 + 1 (3)
R7 := R3 x R4 (4)

If R3=20, R5=3

60 := 20 x 3 (1)
61 := 60 + 1 (2)
4 := 3 + 1 (3)
XXX := 60 x 61 (4)

1番目の命令の代入が3番目の命令の代入より後に完了してはいけない。
WAW (write after write)

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

逆依存 (antidependence)

```

R3 := R3 x R5      (1)
R4 := R3 + 1       (2)
R3 := R5 + 1       (3)
R7 := R3 x R4      (4)

If R3=20, R5=3
60 := 20 x 3       (1)
XX := 4 + 1        (2)
4 := 3 + 1         (3)
XXX:= 4 x XX       (4)
    
```

2番目の命令が実行を始める前に、3番目の命令を完了してはいけない。
WAR (write after read)

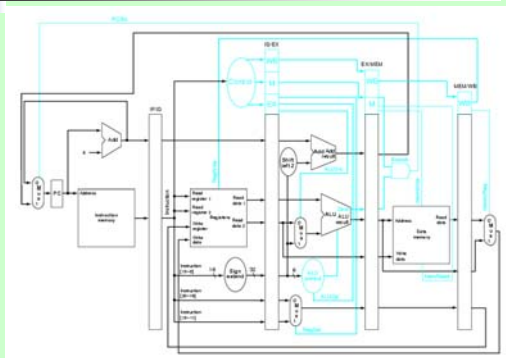
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

データ依存関係 (data dependence)

- 真のデータ依存 (true data dependence)
 - RAW, read after write
 - 出力依存 (output dependence)
 - WAW, write after write
 - 逆依存 (antidependence)
 - WAR, write after read
 - RAR ?, read after read
- 偽のデータ依存

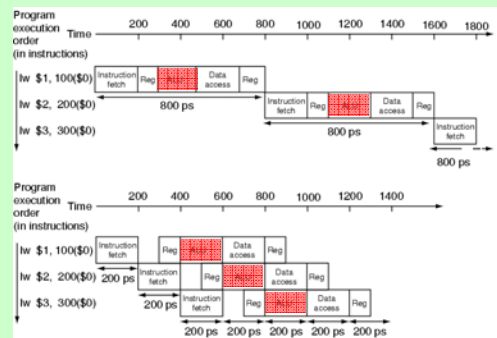
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

プロセッサのデータパス(パイプライン処理)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

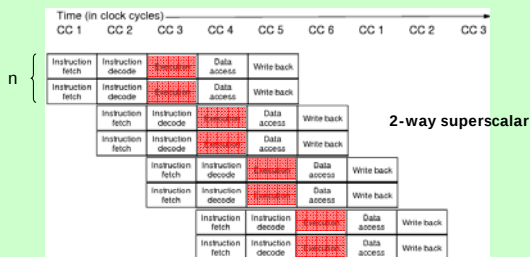
パイプライン処理 (pipelining)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

スーパースカラ・プロセッサと命令レベル並列性

- 複数のパイプラインを利用して IPC を 1以上に引き上げる
 - n-way スーパースカラ
- ハザードの積極的な解消とストールの隠蔽が重要



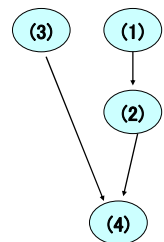
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

レジスタ名前換え, レジスタ・リネーミング

```

R3 := R3 x R5      (1)
R4 := R3 + 1       (2)
R3 := R5 + 1       (3)
R7 := R3 x R4      (4)

R8 := R3 x R5      (1)
R9 := R8 + 1       (2)
R10:= R5 + 1       (3)
R11:= R10 x R9     (4)
    
```



命令レベル並列性は？

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

データ依存関係 (data dependence)

- 真のデータ依存 (true data dependence)
 - RAW, read after write
 - 出力依存 (output dependence)
 - WAW, write after write
 - 逆依存 (antidependence)
 - WAR, write after read
- 偽のデータ依存
- RAR ?, read after read

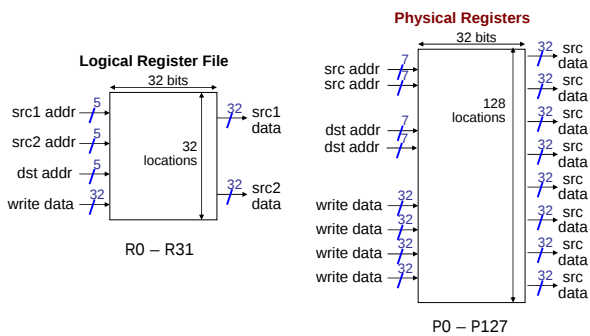
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

ハードウェアによるレジスタ名前換え

- 論理レジスタ (logical register)
 - プログラマやコンパイラから見えるレジスタ
 - 機械命令のフィールドで指定
 - MIPSの命令セットでは R0 – R31 という論理レジスタを利用
- 物理レジスタ (physical register)
 - プロセッサアーキテクチャから見えるレジスタ
 - プログラマやコンパイラから陽に見える必要はない。
 - 物理的に存在するレジスタ

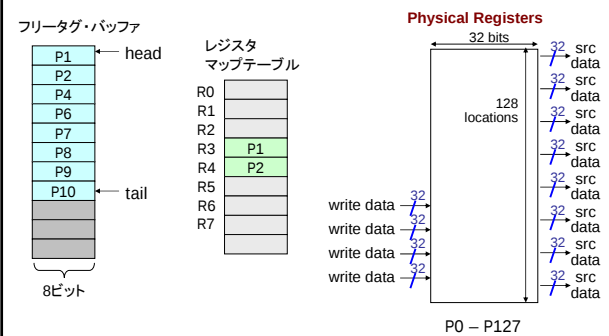
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

MIPS Register File



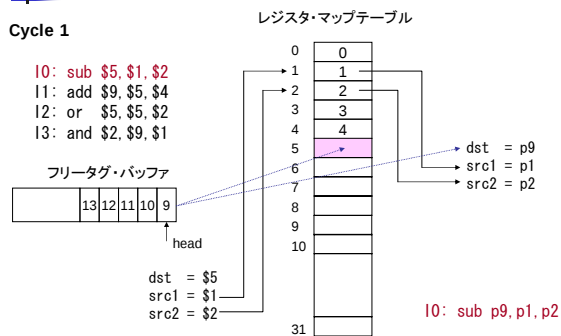
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

ハードウェアによるレジスタ名前換え



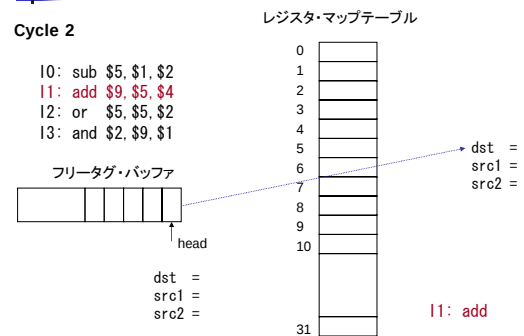
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

レジスタ・リネーミング (演習)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

レジスタ・リネーミング (演習)



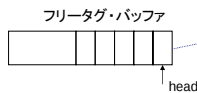
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

レジスタ・リネーミング (演習)

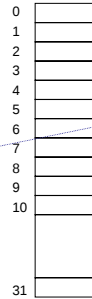
Cycle 3

```

I0: sub $5, $1, $2
I1: add $9, $5, $4
I2: or  $5, $5, $2
I3: and $2, $9, $1
    
```



レジスタ・マップテーブル



I2: or

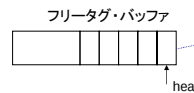
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

レジスタ・リネーミング (演習)

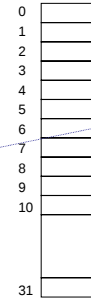
Cycle 4

```

I0: sub $5, $1, $2
I1: add $9, $5, $4
I2: or  $5, $5, $2
I3: and $2, $9, $1
    
```



レジスタ・マップテーブル



I3: and

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

レジスタ名前換え, レジスタ・リネーミング

R3 := R3 x R5

(1)

R4 := R3 + 1

(2)

R3 := R5 + 1

(3)

R7 := R3 x R4

(4)

R8 := R3 x R5

(1)

R9 := R8 + 1

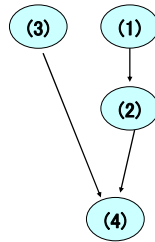
(2)

R10 := R5 + 1

(3)

R11 := R10 x R9

(4)

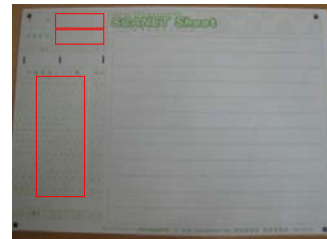
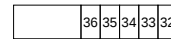


命令レベル並列性の向上

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

Exercise

フリータグ・バッファ



```

addiu $6, $5, $19
addiu $8, $3, $2
move  $7, $13

L52:
lw    $3, 0($10)
lw    $2, 0($9)
lw    $4, 0($6)
lw    $5, 8($6)
addiu $2, $2, $3
addiu $2, $2, $4
addiu $2, $2, $5
addiu $2, $2, $11
multu $2, $18
addiu $7, $7, 1
slt   $3, $12, $7
move  $11, $5
addiu $10, $10, 4
addiu $9, $9, 4
addiu $6, $6, 4
mfhi  $2
srl   $2, $2, 2
sw    $2, 0($8)
beq   $3, $0, L52
addiu $6, $6, 4

slt   $2, $31, $14
addiu $15, $15, 1
beq   $2, $0, L48
addiu $24, $24, 1032

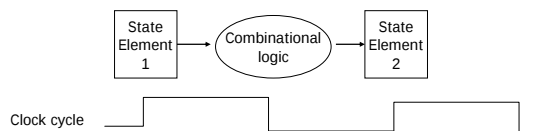
L87:
bne   $17, $0, L55
sll   $3, $16, 8
    
```

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

スーパースカラ・プロセッサにおける問題

レジスタ・リネーミング

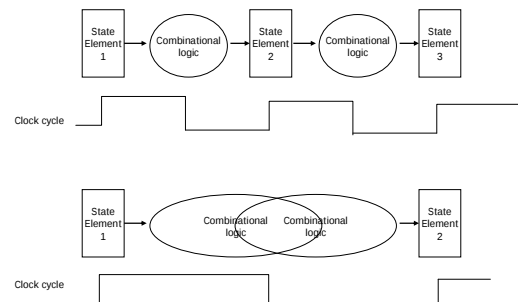
- 1 サイクルに複数 (N個) の命令のリネーミングをおこなう必要がある。
- N倍で動作させる。



- N個の命令を扱えるように回路を構成する。

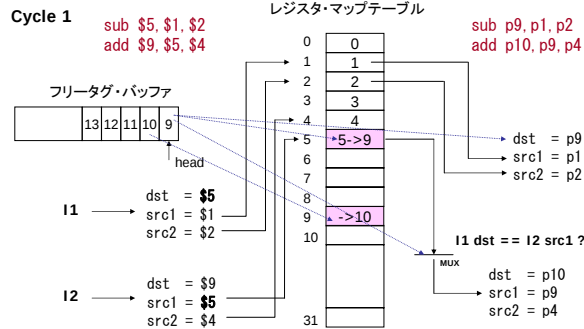
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

スーパースカラ・プロセッサにおける問題



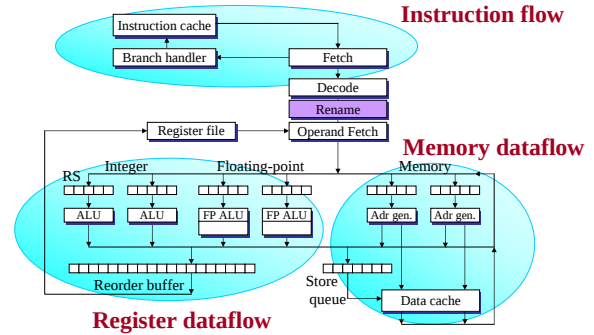
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

2命令のレジスタ・リネーミング



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

Out-of-orderスーパースカラ・プロセッサ



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

真のデータ依存関係



- 見つける.
- 真のデータ依存関係の違反を「回避」する.
- 真のデータ依存関係の違反を「検出」する.
- 真のデータ依存関係を「解消」する.
 - どこまで？

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

アナウンス

- 講義スライド, 講義スケジュール
- www.arch.cs.titech.ac.jp

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005