

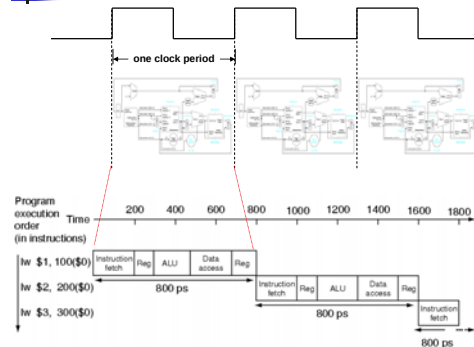
計算機アーキテクチャ特論 (Advanced Computer Architectures)

3. スーパースカラプロセッサ

吉瀬 謙二 計算工学専攻
kise_at_cs.titech.ac.jp www.arch.cs.titech.ac.jp
W832 講義室 金曜日 13:20 - 14:50

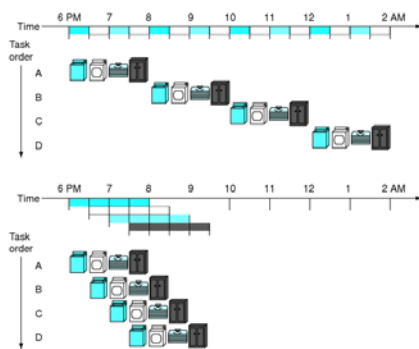
1

プロセッサのデータパス(シングル・サイクル)



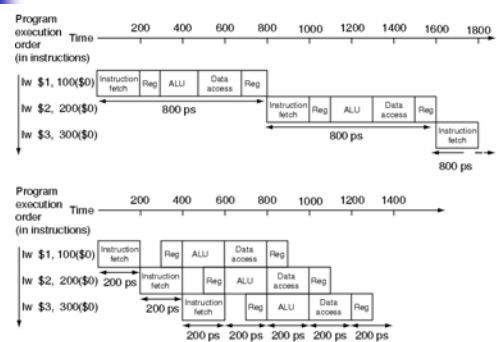
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

パイプライン処理 (pipelining)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

パイプライン処理 (pipelining)



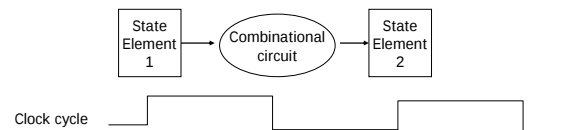
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

MIPSの基本的な5つのステップ (パイプラインステージ)

- **IFステージ**
メモリから命令をフェッチする.
- **IDステージ**
命令をデコードしながら、レジスタを読み出す.
- **EXステージ**
命令操作の実行またはアドレスの生成を行う.
- **MEMステージ**
データ・メモリ中のオペランドにアクセスする.
- **WBステージ**
結果をレジスタに書き込む.

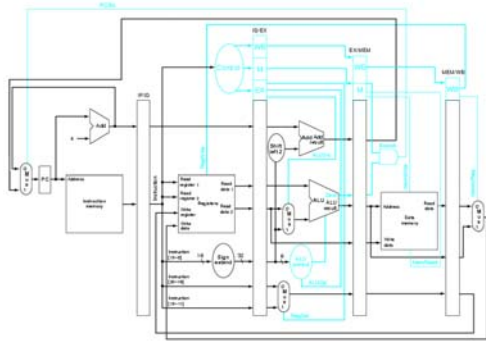
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

組み合わせ回路 (combinational circuit) と 順序回路 (sequential circuit)



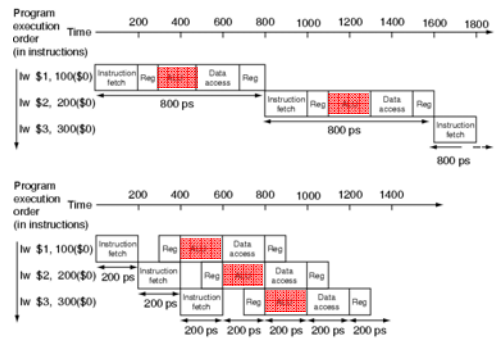
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

プロセッサのデータパス(パイプライン処理)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

パイプライン処理 (pipelining)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

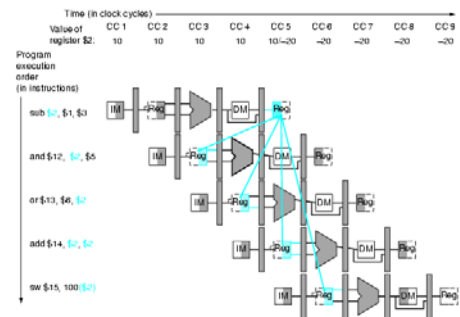
ハザード (hazard)

命令を適切なサイクルで実行できないような状況が存在する。これをハザードと呼ぶ。

- 構造ハザード (structural hazard)
 - オーバラップ実行する命令の組み合わせをハードウェアがサポートしていない場合。
 - 資源不足により生じる。
- データ・ハザード (data hazard)
- 制御ハザード (control hazard)

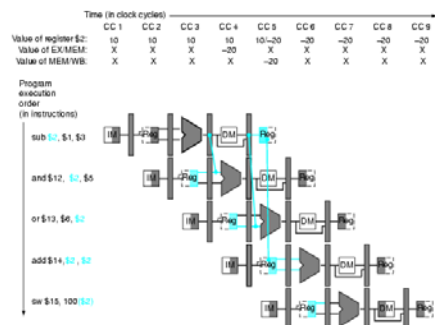
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

データハザード



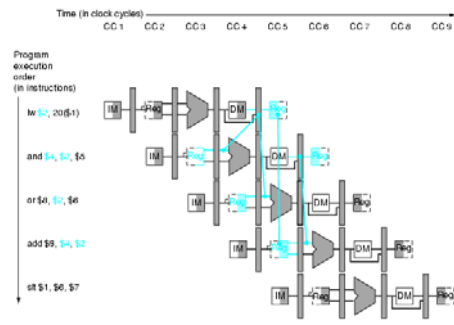
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

フォワーディングによるデータハザードの回避



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

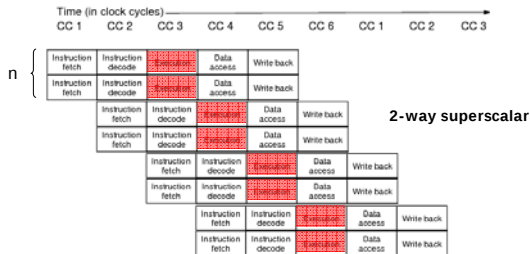
ハザードによるストール



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

スーパースカラ・プロセッサと命令レベル並列性

- 複数のパイプラインを利用して IPC を 1 以上に引き上げる
 - n-way スーパースカラ
- ハザードの積極的な解消とストールの隠蔽が重要



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

計算機アーキテクチャ特論 (Advanced Computer Architectures)

データハザードと命令レベル並列性

14

データ依存関係のない命令列

レジスタ

```

R3 := R3 + 1      (1)
R4 := R4 + 1      (2)
R5 := R5 + 1      (3)
R6 := R6 + 1      (4)
    
```

代入

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

データ依存関係のある命令列

```

R3 := R3 x R5      (1)
R4 := R3 + 1       (2)
R3 := R5 + 1       (3)
R7 := R3 x R4      (4)

If R3=20, R5=3
60 := 20 x 3       (1)
61 := 60 + 1       (2)
4  := 3 + 1        (3)
244:= 4 x 61       (4)
    
```

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

真のデータ依存 (true data dependence)

```

R3 := R3 x R5      (1)
R4 := R3 + 1       (2)
R3 := R5 + 1       (3)
R7 := R3 x R4      (4)

If R3=20, R5=3
60 := 20 x 3       (1)
61 := 60 + 1       (2)
4  := 3 + 1        (3)
244:= 60 x 61      (4)
    
```

3番目の命令が完了する前に、4番目の命令を実行してはいけません。
RAW (read after write)

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

出力依存 (output dependence)

```

R3 := R3 x R5      (1)
R4 := R3 + 1       (2)
R3 := R5 + 1       (3)
R7 := R3 x R4      (4)

If R3=20, R5=3
60 := 20 x 3       (1)
61 := 60 + 1       (2)
4  := 3 + 1        (3)
XXX:= 60 x 61      (4)
    
```

1番目の命令の代入が3番目の命令の代入より後に完了してはいけません。
WAW (write after write)

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

逆依存 (antidependence)

```

R3 := R3 x R5      (1)
R4 := R3 + 1      (2)
R3 := R5 + 1      (3)
R7 := R3 x R4      (4)

```

If R3=20, R5=3

```

60 := 20 x 3      (1)
XX := 4 + 1       (2)
4 := 3 + 1        (3)
XXX:= 4 x XX      (4)

```

2番目の命令が実行を始める前に、3番目の命令を完了してはいけない。
WAR (write after read)

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

データ依存関係の例 (演習)

```

R3 := R3 x R5      (1)
R4 := R3 + 1      (2)
R3 := R5 + 1      (3)
R7 := R3 x R4      (4)

```



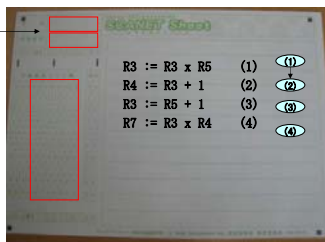
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

Exercise

データ依存関係の例 (演習)

- (A) 真のデータ依存 (true data dependence)
- (B) 出力依存 (output dependence)
- (C) 逆依存 (antidependence)

氏名, 学籍番号,
学籍番号マーク欄(右詰で)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

データ依存関係の例

```

R3 := R3 x R5      (1)
R4 := R3 + 1      (2)
R3 := R5 + 1      (3)
R7 := R3 x R4      (4)

```

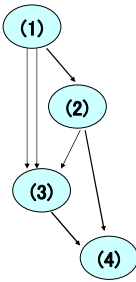
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

データ依存関係の例

```

R3 := R3 x R5      (1)
R4 := R3 + 1      (2)
R3 := R5 + 1      (3)
R7 := R3 x R4      (4)

```



命令レベル並列性は?

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

レジスタ名前換え, レジスタ・リネーミング (演習)

```

R3 := R3 x R5      (1)
R4 := R3 + 1      (2)
R3 := R5 + 1      (3)
R7 := R3 x R4      (4)

R8 := R3 x R5      (1)
R9 :=               (2)
R10:=              (3)
R11:=              (4)

```



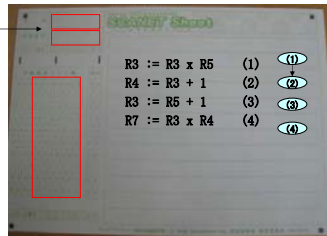
Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

Exercise

データ依存関係の例 (演習)

- (A) 真のデータ依存 (true data dependence)
- (B) 出力依存 (output dependence)
- (C) 逆依存 (antidependence)

氏名, 学籍番号,
学籍番号マーク欄(右詰で)



Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

レジスタ名前換え, レジスタ・リネーミング

```
R3 := R3 x R5      (1)
R4 := R3 + 1       (2)
R3 := R5 + 1       (3)
R7 := R3 x R4      (4)
```

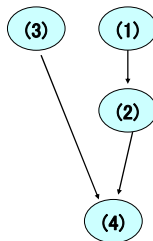
```
R8 := R3 x R5      (1)
R9 := R8 + 1       (2)
R10 := R5 + 1      (3)
R11 := R10 x R9    (4)
```

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

レジスタ名前換え, レジスタ・リネーミング

```
R3 := R3 x R5      (1)
R4 := R3 + 1       (2)
R3 := R5 + 1       (3)
R7 := R3 x R4      (4)
```

```
R8 := R3 x R5      (1)
R9 := R8 + 1       (2)
R10 := R5 + 1      (3)
R11 := R10 x R9    (4)
```



命令レベル並列性は?

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

データ依存関係 (data dependence)

- 真のデータ依存 (true data dependence)
 - RAW, read after write
 - 出力依存 (output dependence)
 - WAW, write after write
 - 逆依存 (antidependence)
 - WAR, write after read
 - RAR ?, read after read
- 偽のデータ依存

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

素朴な疑問

- レジスタの数が無限大だったら...

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005

アナウンス

- 講義スライド, 講義スケジュール
 - www.arch.cs.titech.ac.jp

Adapted from Computer Organization and Design, Patterson & Hennessy, © 2005