

Department of Computer Science
Course number: CSC.T341

2023年度の講義と演習は、学術国際情報センター3階 情報工学系計算機室で実施します。



コンピュータ論理設計 Computer Logic Design

1. コンピュータシステムの基本構成 Basic Structure of Computer Systems

吉瀬 謙二 情報工学系

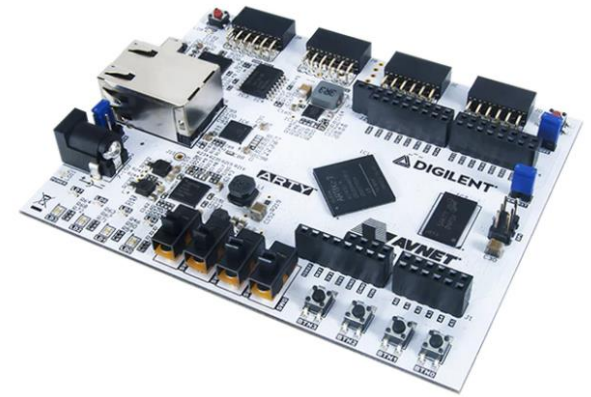
Kenji Kise, Department of Computer Science

kise_at_c.titech.ac.jp www.arch.cs.titech.ac.jp/lecture/CLD/

講義: 月曜日 10:45-12:25, 木曜日 10:45-12:25

コンピュータ論理設計の特徴

- 講義2単位，演習1単位.
- 1人1台のFPGA (Field-Programmable Gate Array) ボードを用いた演習.
- 4人程度を1グループとした共同作業と問題解決.
- 教科書で説明されるプロセッサのRISC-V版をハードウェア記述言語Verilog HDLで記述し，FPGAボードに実装する.
- グループとしてプロセッサの高速化に取り組み，コンテスト形式で成果を競う.
- 3Q開講のコンピュータアーキテクチャ(CSC.T363)のための準備.

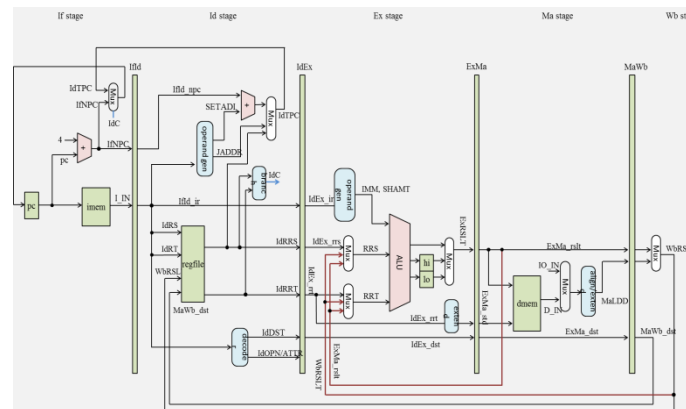


```
module main (clk, led);
  input wire clk;
  output wire led;

  reg [26:0] cnt=0;
  always @(posedge clk) cnt <= cnt + 1;

  assign led = cnt[26];
endmodule
```

Verilog HDL code





「2023年度」のコンピュータ論理設計の注意点

- 2023年度の講義と演習は、学術国際情報センター3階 **情報工学系計算機室**で実施します。
- また、**Slack** も活用します。
- アダプティブコンピューティング研究推進体 (ACRi) が提供する FPGA の利用環境である **ACRi ルーム**を利用します。
 - <https://gw.acri.c.titech.ac.jp/wp/manual/welcome>
- **期末試験(ペーパーテスト)を実施します。演習 30%, 設計コンテスト 20%, 期末試験 50%** として評価します。
 - 演習, 設計コンテストには出席点も含まれるので, 毎回, 参加しましょう。
- 講義日程や資料などはサポートページを参照してください。
 - www.arch.cs.titech.ac.jp/lecture/CLD/

Syllabus (1/3)

講義の概要とねらい

本講義では、「論理回路理論」の講義で習得した知識をベースに、より実用的なデジタル回路について学ぶ。また、簡単なコンピュータを例題として、コンピュータの基本原理とその論理設計の方法を学習する。
演習では、学んだ組合せ回路と順序回路をVerilog HDL等のハードウェア記述言語で記述し、シミュレーションによる回路の動作検証、FPGAが搭載されたハードウェアボード等を実装して動作確認をおこなう。

到達目標

本講義を履修することによって以下を習得する。

- ・コンピュータシステムの基本構成
- ・シングルサイクルプロセッサの論理設計に関する知識
- ・パイプライン処理をおこなうプロセッサの論理設計に関する知識
- ・ハードウェア記述言語を用いたシンプルなコンピュータシステムの設計能力

キーワード

コンピュータ, 命令セットアーキテクチャ, プロセッサ, パイプライン処理, ハードウェア記述言語, Verilog HDL, FPGA

学生が身につける力

国際的教養力	コミュニケーション力	専門力	課題設定力	実践力または解決力
-	-	✓	-	✓

授業の進め方

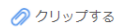
原則として、90分×2コマの講義の後、90分×1コマのFPGAボードを用いた演習をおこないます。

FPGAの展望

世界のFPGA市場、2025年に86億米ドル規模へ

© 2020年04月20日 13時30分 公開

[馬本隆綱, EE Times Japan]



2019年には28nm未満の構成比率が最大に

グローバルインフォメーションは2020年4月、FPGAの世界市場調査レポートを発売した。同レポートによると、FPGA市場は2020年の59億米ドルに対し、2025年には86億米ドルと予測した。年平均成長率（CAGR）は7.6%となる。

市場調査レポートのタイトルは「FPGAの世界市場：ローエンドFPGA・ミッドレンジFPGA・ハイエンドFPGA・SRAM型・FLASH型FPGA・アンチヒューズ型FPGA-2025年までの予測」（MarketsandMarkets発行）である。

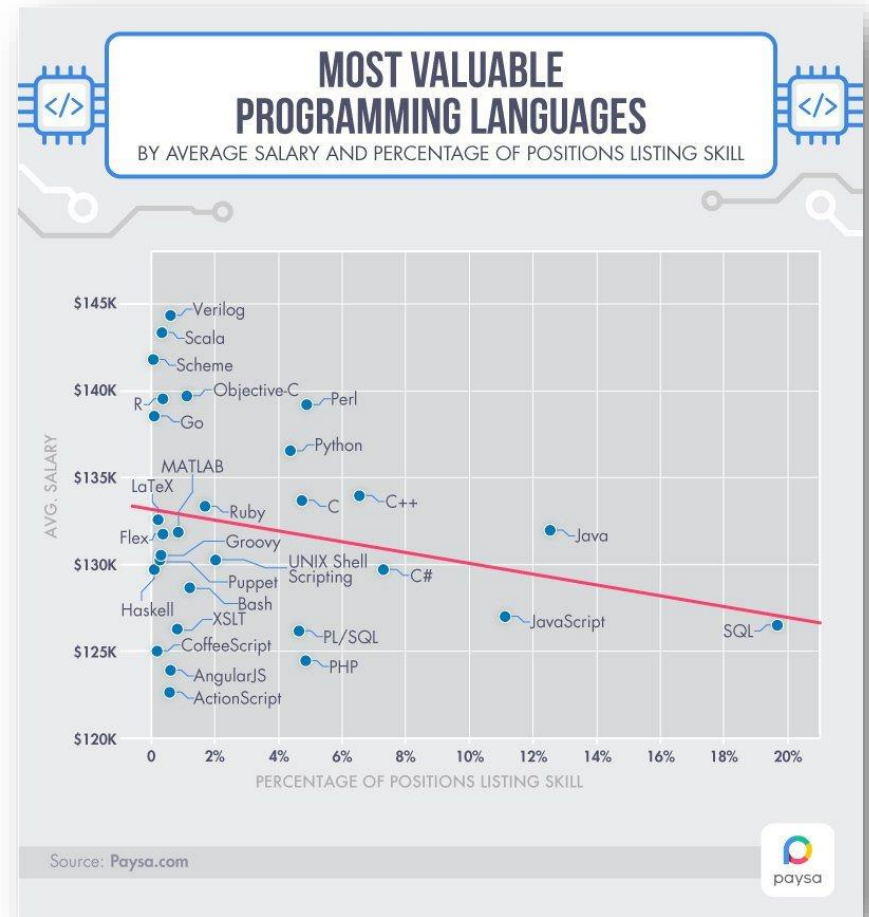
プレスリリースでは詳細な数値を明らかにしていないが、FPGA市場をテクノロジーノードで分類すると、2019年は28nm未満の製品構成比率が最大になったという。低消費電力製品の登場などにより、2025年に向けても28nm未満の製品が高い伸びを示すと予測した。



2020年と2025年のFPGA市場 出典：グローバルインフォメーション

<https://eetimes.jp/ee/articles/2004/20/news030.html>

SILICON VALLEY'S MOST VALUABLE SKILLS



2016-09

<https://www.paysa.com/blog/silicon-valleys-most-valuable-skills/>

Syllabus (2/3)

授業計画・課題		
	授業計画	課題
第1回	コンピュータシステムの基本構成	コンピュータシステムの基本構成について理解する。
第2回	論理設計演習(1)	論理設計演習(1)
第3回	ハードウェア記述言語：組合せ回路	組合せ回路の記述を理解する。
第4回	ハードウェア記述言語：順序回路	順序回路の記述を理解する。
第5回	論理設計演習(2)	論理設計演習(2)
第6回	ハードウェア記述言語：よく使われる回路	よく使われる回路の記述を理解する。
第7回	リコンフィギャラブルシステム	リコンフィギャラブルシステムとFPGAボードについて理解する。
第8回	論理設計演習(3)	論理設計演習(3)
第9回	命令セットアーキテクチャ：データ表現とアドレス指定形式	ISAにおけるデータ表現とアドレス指定形式について理解する。
第10回	命令セットアーキテクチャ：算術論理演算命令	ISAにおける算術論理演算命令について理解する。
第11回	論理設計演習(4)	論理設計演習(4)
第12回	命令セットアーキテクチャ：ロードストア命令と分岐命令	ISAにおけるロードストア命令と分岐命令について理解する。
第13回	プロセッサの基本構成要素：算術論理演算ユニット	算術論理演算ユニットについて理解する。
第14回	論理設計演習(5)	論理設計演習(5)
第15回	プロセッサの基本構成要素：レジスタファイルとメモリ	レジスタファイルとメモリについて理解する。
第16回	シングルサイクルプロセッサのデータパス	シングルサイクルプロセッサのデータパスについて理解する。
第17回	論理設計演習(6)	論理設計演習(6)
第18回	シングルサイクルプロセッサの制御	シングルサイクルプロセッサの制御について理解する。
第19回	パイプライン処理	パイプライン処理について理解する。
第20回	論理設計演習(7)	論理設計演習(7)
第21回	パイプラインハザードとデータフォワードリング	パイプラインハザードとデータフォワードリングについて理解する。
第22回	論理設計演習(8)	論理設計演習(8)

Syllabus (3/3)

教科書
デイビッド・A. パターソン、ジョン・L. ヘネシー (著)、成田光彰 (翻訳) 『コンピュータの構成と設計 第5版 上/下』日経BP社
参考書、講義資料等
無し。
成績評価の基準及び方法
講義で扱うコンピュータ論理設計に関する理解、ハードウェア記述言語を用いたコンピュータシステム実装への応用能力を評価する。演習 (30%) と期末 演習 30%, 設計コンテスト 20%, 期末試験 50%
関連する科目
CSC.T252 : 論理回路理論 CSC.T262 : アセンブリ言語 CSC.T372 : コンパイラ構成 CSC.T363 : コンピュータアーキテクチャ CSC.T433 : 先端コンピュータアーキテクチャ
履修の条件(知識・技能・履修済科目等)
履修条件は特に設けないが、関連する科目の論理回路理論を履修していることが望ましい。
連絡先 (メール、電話番号) ※"[at]"を"@"(半角)に変換してください。
吉瀬謙二: kise[at]c.titech.ac.jp
オフィスアワー
メールで事前予約すること。



講義のサポートページ

<https://www.arch.cs.titech.ac.jp/lecture/CLD/>

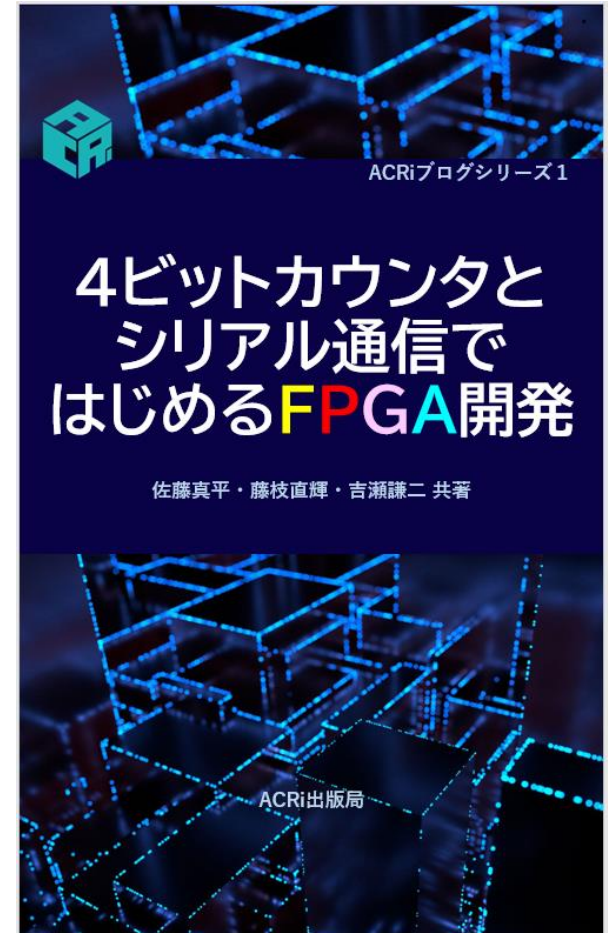
Lecture Slides and Materials

2023年度の講義と演習は「**学術国際情報センター 3階 情報工学系計算機室**」で実施します。

- 2023-04-10 (10:45): [Lecture01: Basic Structure of Computer Systems](#)
- 2023-04-13 (08:50): Exercise (1):
- 2023-04-13 (10:45): Lecture02: Hardware Description Language: Combinational Circuit
- 2023-04-17 (10:45): Lecture03: Hardware Description Language: Sequential Circuit
- 2023-04-20 (08:50): Exercise (2):
- 2023-04-20 (10:45): Lecture04: Hardware Description Language: Typical Circuits
- 2023-04-24 (10:45): Lecture05: VLSI and Reconfigurable Systems
- 2023-04-27 (08:50): Exercise (3):
- 2023-04-27 (10:45): Lecture06: Instruction Set Architecture: Data Representation and Addressing
- 2023-05-01 (10:45): Lecture07: Instruction Set Architecture: Arithmetic and Logic Instructions
- 2023-05-08 (08:50): Exercise (4):
- 2023-05-08 (10:45): Lecture08: Instruction Set Architecture: Load/Store and Branch Instructions
- 2023-05-11 (08:50): Exercise (5):
- 2023-05-11 (10:45): Lecture09: Design and Implementation of a Single Cycle Processor (1)
- 2023-05-15 (10:45): Lecture10: Design and Implementation of a Single Cycle Processor (2)
- 2023-05-18 (08:50): Exercise (6):
- 2023-05-18 (10:45): Lecture11: Design and Implementation of a Multi-cycle Processor
- 2023-05-12 (10:45): Lecture12: Pipelining and Hazards (1)
- 2023-05-25 (08:50): Exercise (7):
- 2023-05-25 (10:45): Lecture13: Pipelining and Hazards (2)
- 2023-05-29 (10:45): Lecture14: Preparing for the design contest (group work)
- 2023-06-01 (08:50-12:25): Design Contest
- 2023-06-05 (10:45): **Final Examination**

参考書

- 4ビットカウンタとシリアル通信ではじめるFPGA開発 ACRIブログシリーズ Kindle版
- ハードウェア記述言語を用いたFPGA開発の入門書です。
FPGAボードを購入することなく、無料で体験できるACRIルームの利用方法を説明しているので、かんたんにFPGAのためのハードウェア設計を始めることができます！



教科書

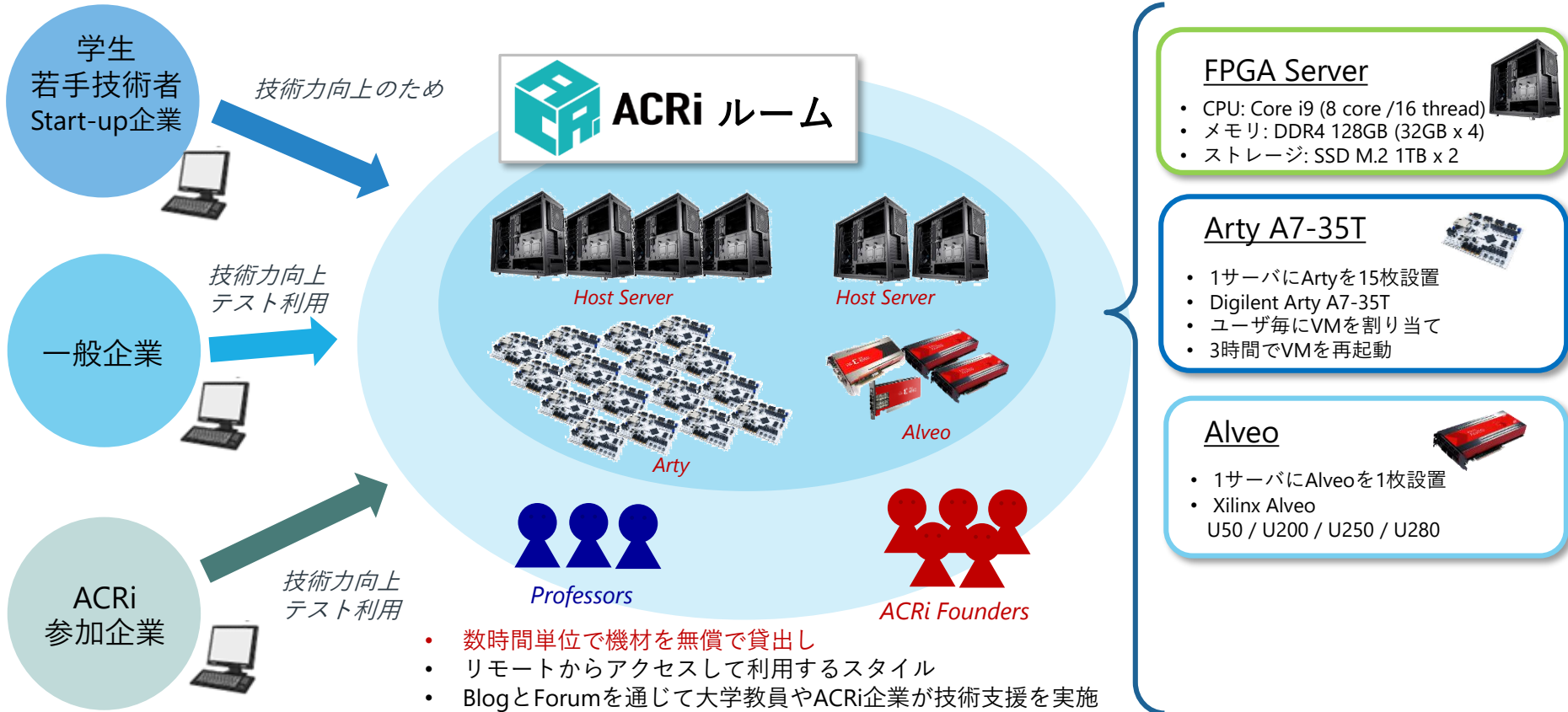
- **コンピュータの構成と設計 第5版**、パターソン & ヘネシー
(成田光彰 訳)、日経BP社
 - 1. コンピュータの抽象化とテクノロジー
 - 2. 命令:コンピュータの言葉
 - 3. コンピュータにおける算術演算
 - 4. プロセッサ
 - A. アセンブラ, リンカ, SPIMシミュレータ
 - B. 論理設計の基礎



ACRiルーム (FPGA利用環境)

www.acri.c.titech.ac.jp

- 日本初、産学連携でFPGA検証環境と学習機会を無償で提供 -



FPGA Server

- CPU: Core i9 (8 core /16 thread)
- メモリ: DDR4 128GB (32GB x 4)
- ストレージ: SSD M.2 1TB x 2



Arty A7-35T

- 1サーバにArtyを15枚設置
- Digilent Arty A7-35T
- ユーザ毎にVMを割り当て
- 3時間でVMを再起動



Alveo

- 1サーバにAlveoを1枚設置
- Xilinx Alveo U50 / U200 / U250 / U280



アダプティブコンピューティング研究推進体
Adaptive Computing Research Initiative (ACRi)

ACRiルームのユーザー登録

- 論理回路理論でACRiルームのアカウントを持っていれば、必要ありません。
- そうでなければ、**今日中に、次のサイトで新規ユーザーの登録**をしてください。
 - <https://gw.acri.c.titech.ac.jp/wp/>
- **登録時のメールアドレスには m.titech.ac.jp を用いること。**

The screenshot shows the ACRi website interface. At the top, there is a navigation bar with the ACRi logo and the text "ACRi". Below the navigation bar, the main content area features a heading "ACRi ルームへようこそ!" and a search bar. The main content includes a welcome message, a "ようこそ" link, and a "【New】" announcement about a daily schedule renewal. Below this is a "日別スケジュール" section with a table showing server status for various servers (as001, as002, as003, as004, vs001, vs002) from 00:00 to 21:00. The table indicates "Close" status from 00:00 to 09:00 and "Open" status from 12:00 to 21:00. A right sidebar contains a search bar, a "ACRi ルームの情報" section with links for "ようこそ", "予約ページトップ", "ニュースとメンテナンス情報", "フォーラム", and "ギャラリーと技術情報", and a "ログイン/ログアウト" section with a "ログイン" link. At the bottom, there is a "ACRi ルームの利用説明" link.

サーバ	as001 (U200)	as001 (U200)	as002 (U250)	as003 (U280-ES1)	as004 (U50)	vs001	vs002	vs0
00:00	Close	Close	Close	Close	Close	Close	Close	Clo
03:00	Close	Close	Close	Close	Close	Close	Close	Clo
06:00	Close	Close	Close	Close	Close	Close	Close	Clo
09:00	Close	Close	Close	Close	Close	Close	Close	Clo
12:00	Open	Open	Open	Open	Open	Open	Open	Op
15:00	Open	Open	Open	Open	Open	Open	Open	Op
18:00	Open	Open	Open	Open	Open	Open	Open	Op
21:00	Open	Open	Open	Open	Open	Open	Open	Op

ACRiルームのサーバーコンピュータとFPGAボード

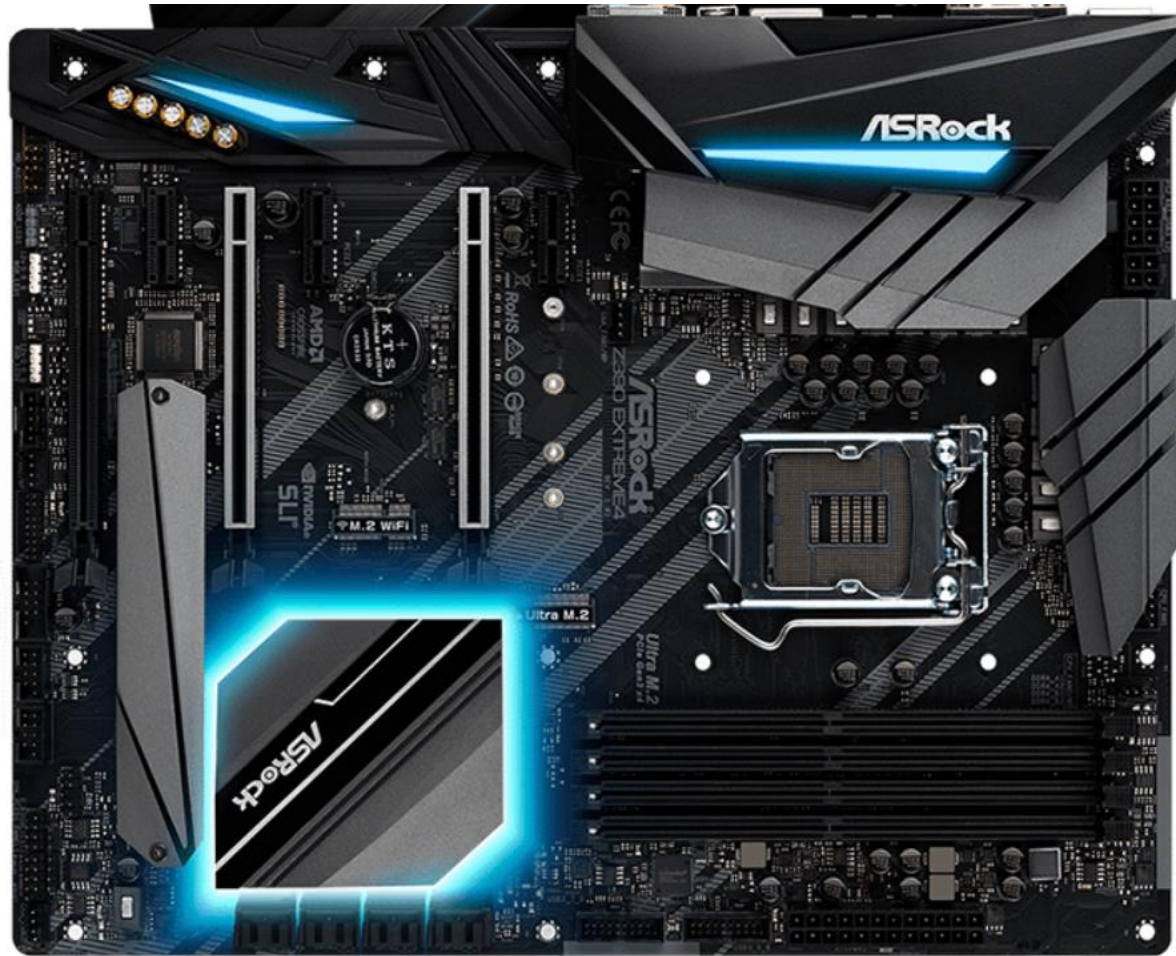


Arty A7-35T

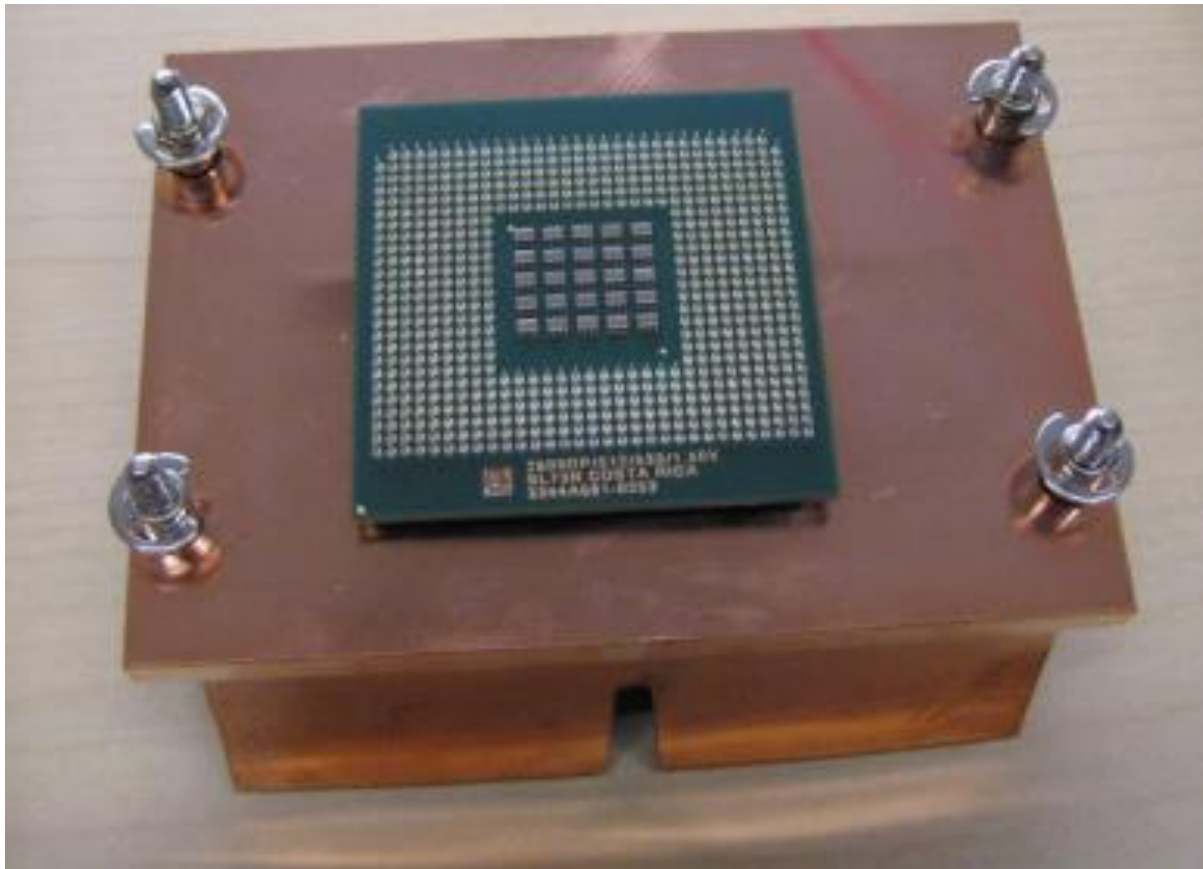


- 1サーバにArtyを15枚設置
- Digilent Arty A7-35T
- ユーザ毎にVMを割り当て
- 3時間でVMを再起動

マザーボード

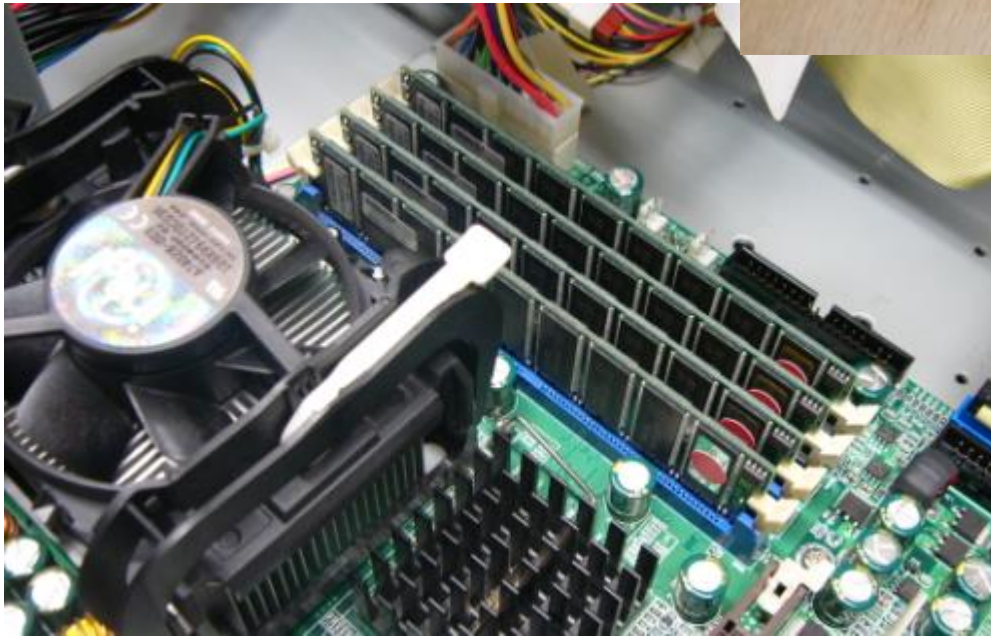


マイクロプロセッサ, CPU (Central Processing Unit)



メモリ, 記憶

DRAM (dynamic random access memory)



ディスク (SSD, 磁気ディスク)



グラフィックカード, GPU



ネットワークカード



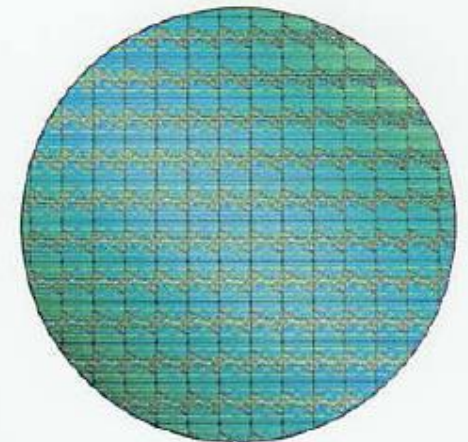
VLSIチップの製造: インゴット, ウェーハ



Sand



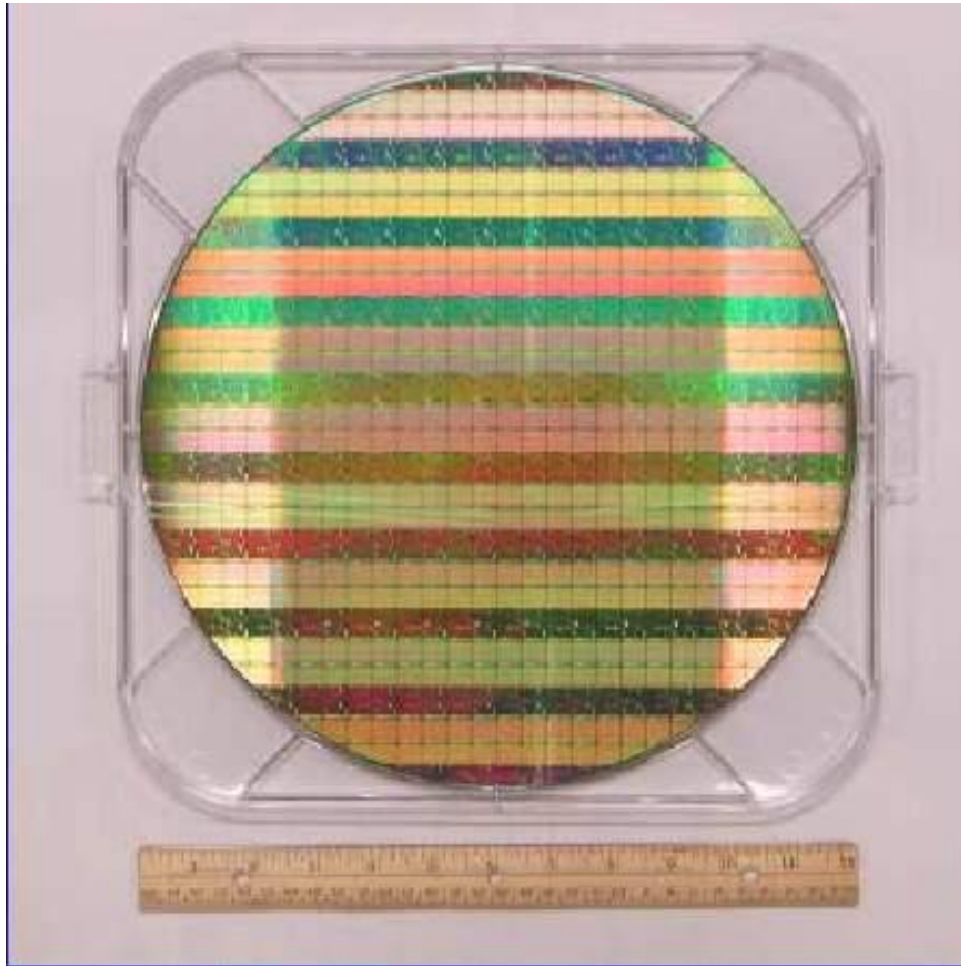
Silicon Ingot



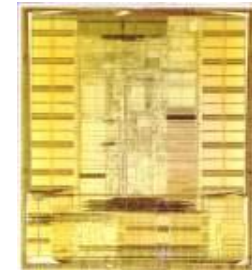
Wafer

Silicon, the most abundant element on earth except for oxygen, is used because it is a natural semiconductor.

VLSIチップの製造: ウェーハとダイ



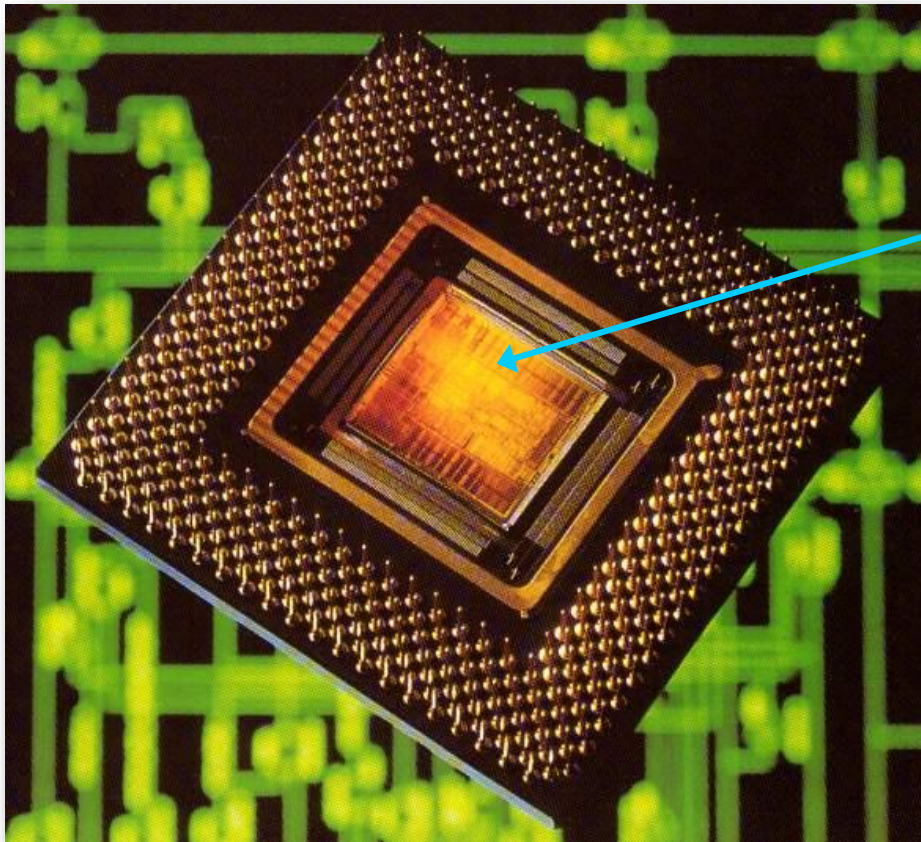
30cmのウェーハ(wafer)
厚さは数ミリで、直径が30cm
大きなCDのような形をしている。



ダイ (die)
(ウェーハから切り出した
個々のチップ)

Intel社, Industry-Leading Transistor Performance Demonstrated on Intel's 90-nanometer Logic Process

プロセッサの実装:ダイのパッケージ化



ダイ(die)

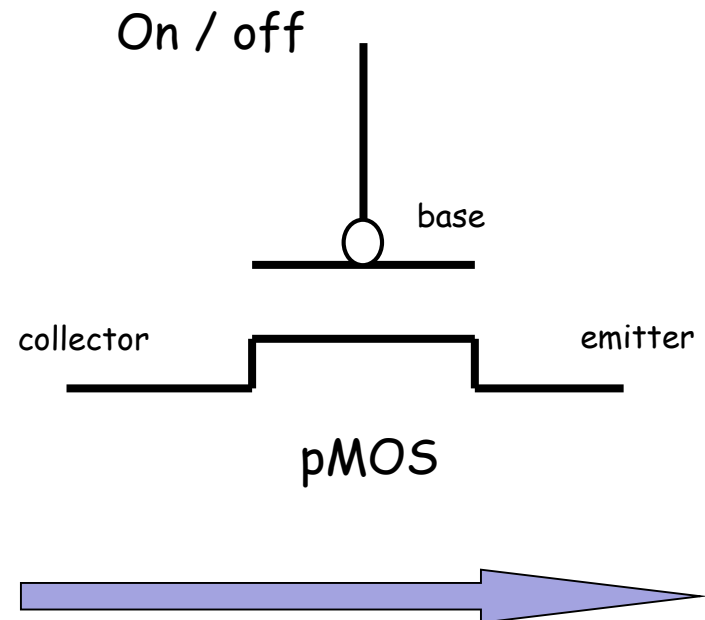
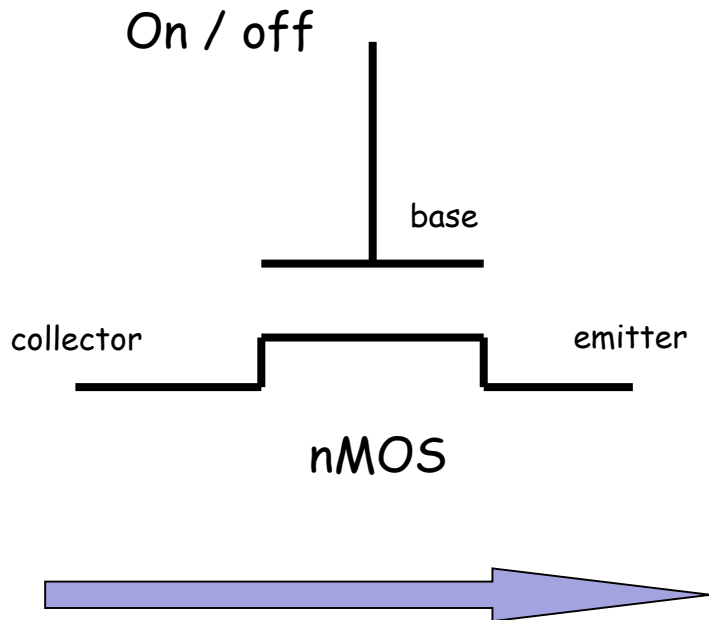


die (dice) : さいころ

Richard L. Sites, Alpha AXP Architecture Reference Manual SECOND EDITION

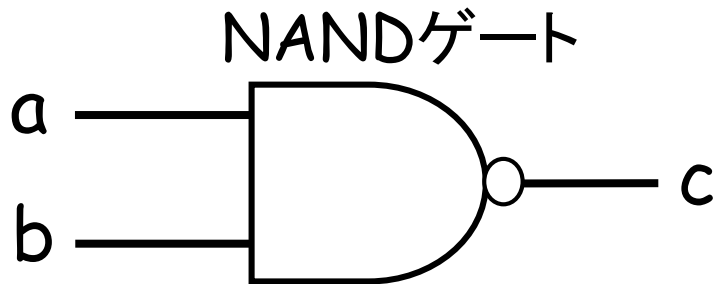
Transistor

- トランジスタは電氣的なオン／オフ動作をするスイッチと捉えることができる.

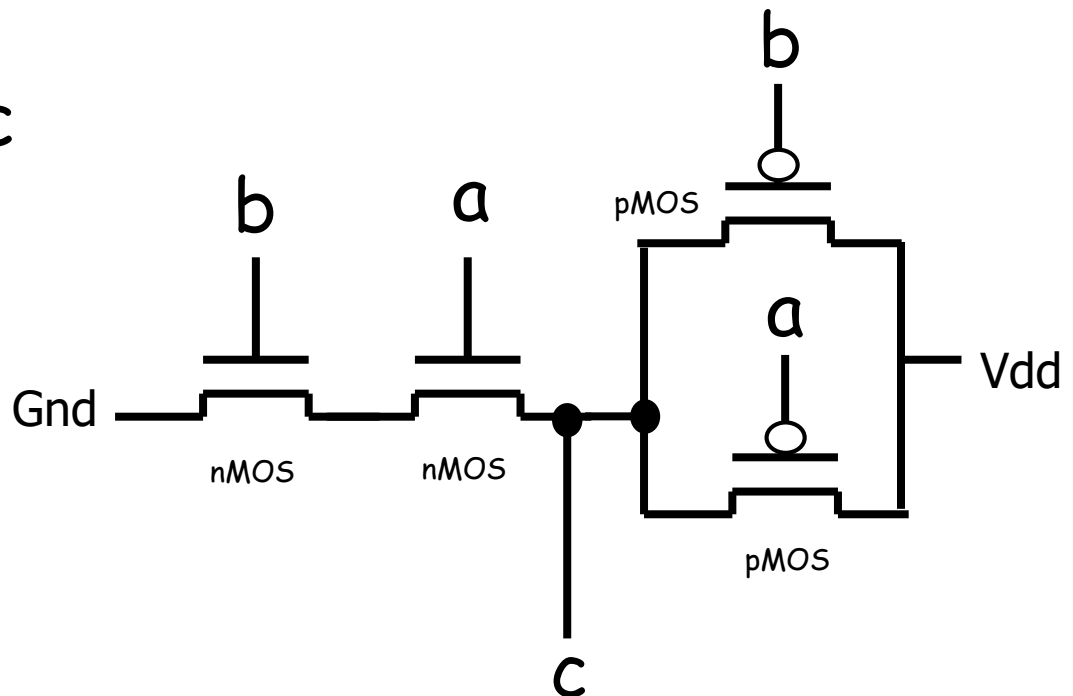


Transistor and Gate

- トランジスタは電氣的なオン／オフ動作をするスイッチ
- 幾つかのトランジスタで、少し機能の高いゲートを構成

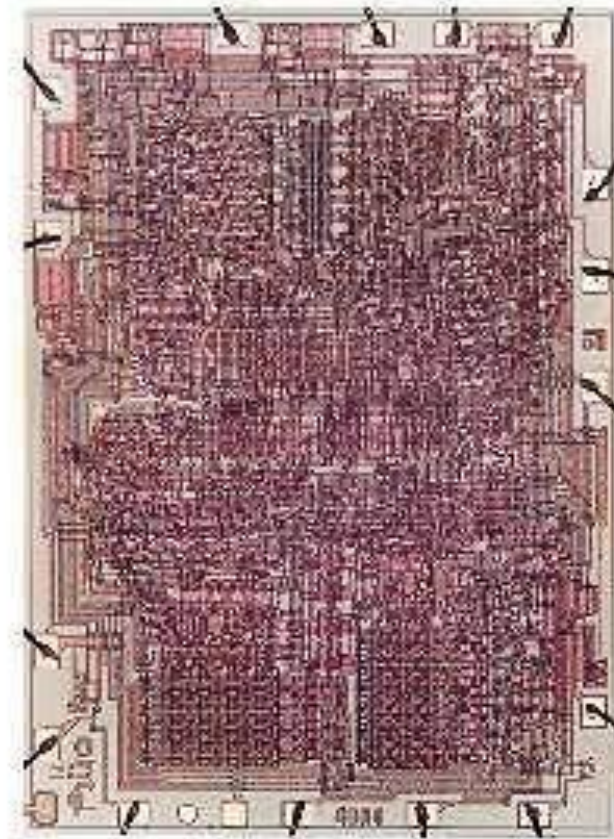


a	b	c
0	0	1
1	0	1
0	1	1
1	1	0



The first commercially available microprocessor

1971年: 4004 マイクロプロセッサ



プロセッサ	出荷年	トランジスタ数
4004	1971	2,250

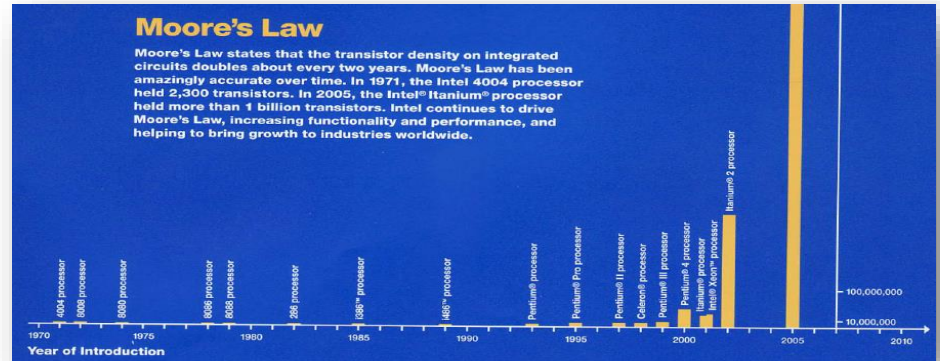
From Wikipedia, Intelミュージアム



Moore's law

- Moore's law is the observation that the number of transistors in a dense integrated circuit doubles approximately every two years.

Moore's Law



VISUALIZING PROGRESS

If transistors were people

If the transistors in a microprocessor were represented by people, the following timeline gives an idea of the pace of Moore's Law.



2,300
Average music hall capacity



134,000
Large stadium capacity



32 Million
Population of Tokyo

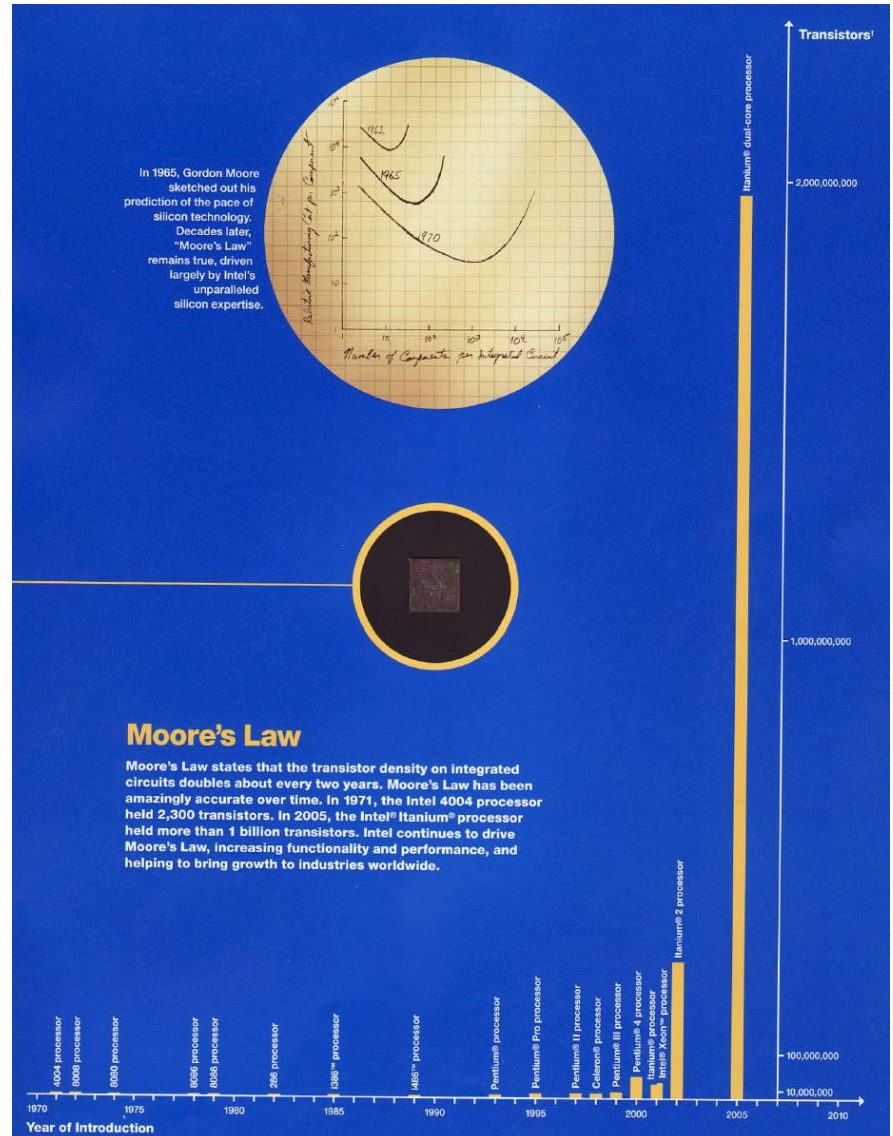


1.3 Billion
Population of China



Now imagine that those 1.3 billion people could fit onstage in the original music hall. That's the scale of Moore's Law.

Moore's Law





Moore's Law

The experts look ahead

Cramming more components onto integrated circuits

With unit cost falling as the number of components per circuit rises, by 1975 economics may dictate squeezing as many as 65,000 components on a single silicon chip

By Gordon E. Moore

Director, Research and Development Laboratories, Fairchild Semiconductor division of Fairchild Camera and Instrument Corp.

The future of integrated electronics is the future of electronics itself. The advantages of integration will bring about a proliferation of electronics, pushing this science into many new areas.

Integrated circuits will lead to such wonders as home computers—or at least terminals connected to a central computer—automatic controls for automobiles, and personal portable communications equipment. The electronic wrist-watch needs only a display to be feasible today.

But the biggest potential lies in the production of large systems. In telephone communications, integrated circuits in digital filters will separate channels on multiplex equipment. Integrated circuits will also switch telephone circuits and perform data processing.

Computers will be more powerful, and will be organized in completely different ways. For example, memories built of integrated electronics may be distributed throughout the

machine instead of being concentrated in a central unit. In addition, the improved reliability made possible by integrated circuits will allow the construction of larger processing units. Machines similar to those in existence today will be built at lower costs and with faster turn-around.

Present and future

By integrated electronics, I mean all the various technologies which are referred to as microelectronics today as well as any additional ones that result in electronics functions supplied to the user as irreducible units. These technologies were first investigated in the late 1950's. The object was to miniaturize electronics equipment to include increasingly complex electronic functions in limited space with minimum weight. Several approaches evolved, including microassembly techniques for individual components, thin-film structures and semiconductor integrated circuits.

Each approach evolved rapidly and converged so that each borrowed techniques from another. Many researchers believe the way of the future to be a combination of the various approaches.

The advocates of semiconductor integrated circuitry are already using the improved characteristics of thin-film resistors by applying such films directly to an active semiconductor substrate. Those advocating a technology based upon films are developing sophisticated techniques for the attachment of active semiconductor devices to the passive film arrays.

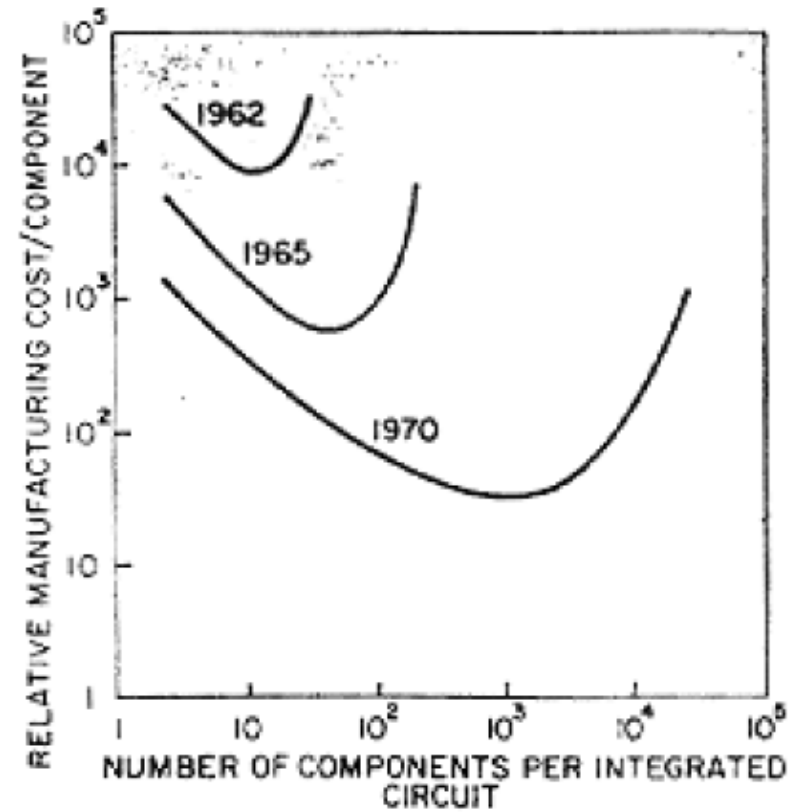
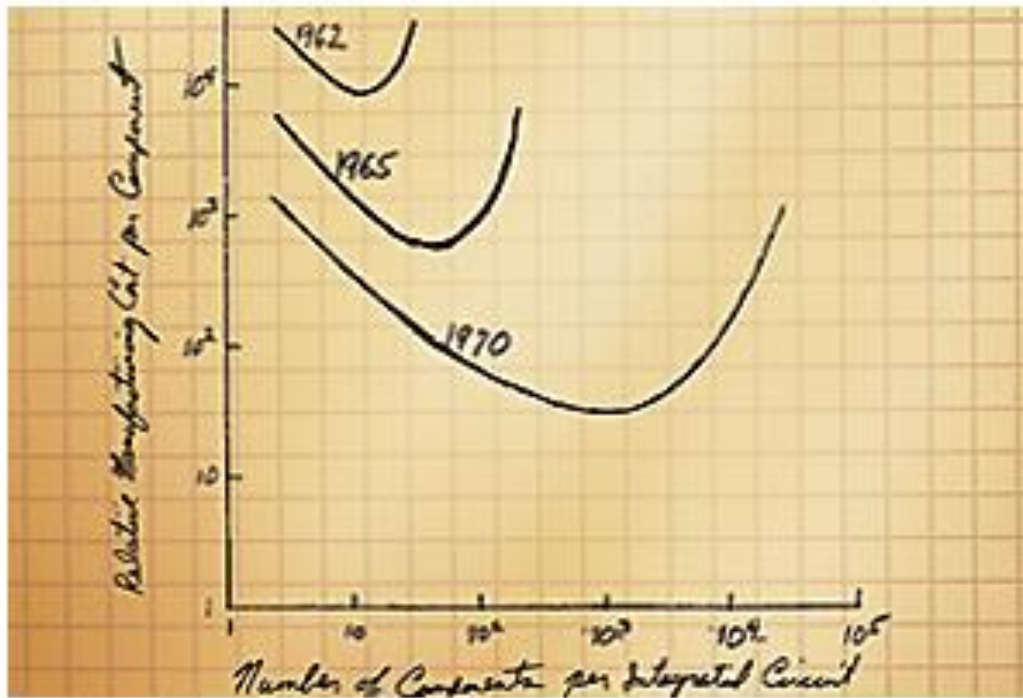
Both approaches have worked well and are being used in equipment today.

The author

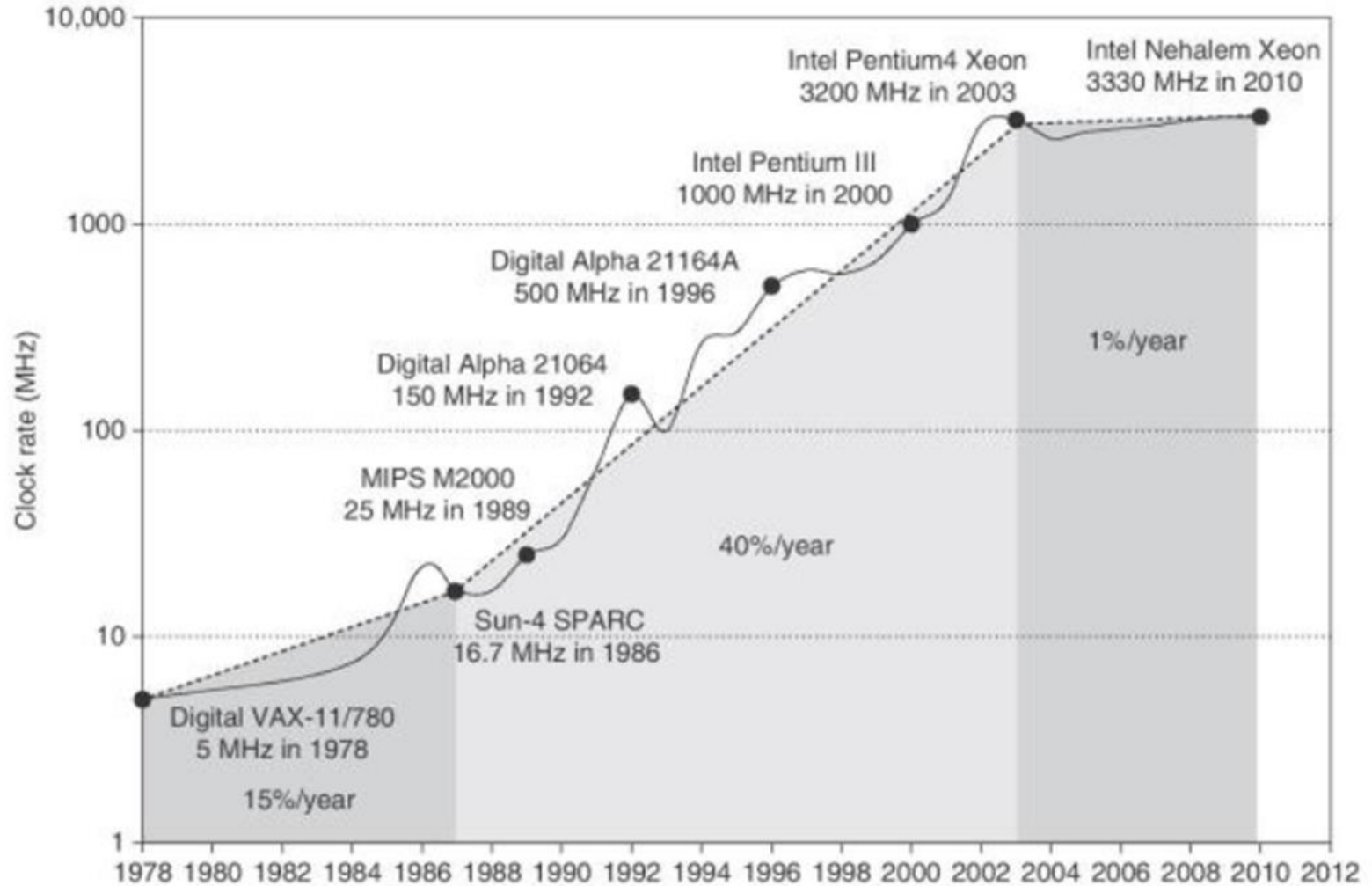
Dr. Gordon E. Moore is one of the new breed of electronic engineers, schooled in the physical sciences rather than in electronics. He earned a B.S. degree in chemistry from the University of California and a Ph.D. degree in physical chemistry from the California Institute of Technology. He was one of the founders of Fairchild Semiconductor and has been director of the research and development laboratories since 1959.

Electronics, Volume 38, Number 8, April 19, 1965

Moore's Law



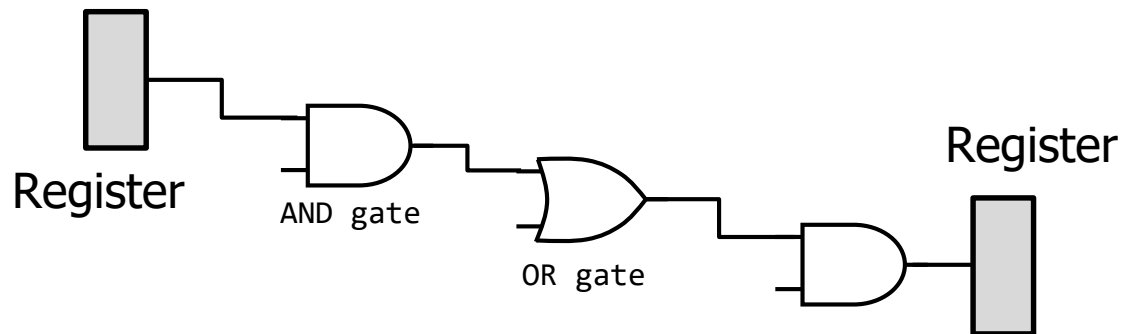
Growth in clock rate of microprocessors



From CAQA 5th edition

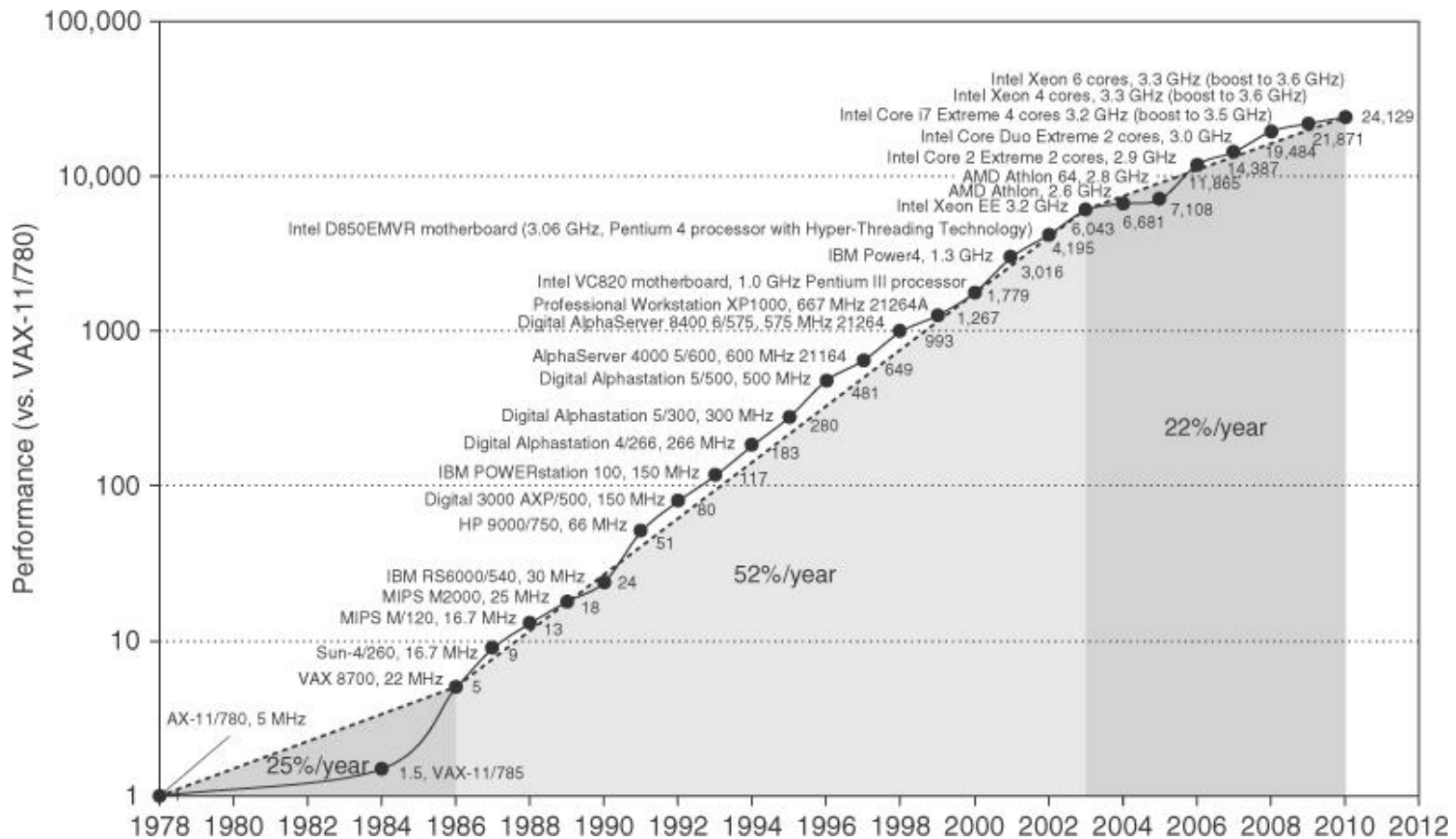
Clock rate is mainly determined by

- Switching speed of gates (transistors)
- The number of levels of gates
 - The maximum number of gates cascaded in series in any combinational logics.
 - In this example, the number of levels of gates is 3.
- Wiring delay and fanout



Growth in processor performance

- Performance = $f \times \text{IPC}$
 - f : frequency (clock rate)
 - IPC: retired machine Instructions Per Cycle



Code057.v

- w_clk は 100MHz のクロック信号
- 32ビットのレジスタ r_cnt を, 毎サイクル、インクリメントする. ただし, 値が99,999,999 の時には0に初期化される. (つまり, 1秒毎に初期化される)
- 100,000,000 サイクル毎(1秒)に, 1ビットのレジスタ r_out の値を反転する.



```
/******  
/* code057.v For CSC.T341 CLD Archlab TOKYO TECH */  
/******  
module m_main (w_clk, w_led);  
    input wire w_clk;  
    output wire [3:0] w_led;  
  
    reg r_out = 0;  
    reg [31:0] r_cnt = 0;  
    always@(posedge w_clk) begin  
        r_cnt <= (r_cnt==99999999) ? 0 : r_cnt +1;  
        r_out <= (r_cnt==0) ? ~r_out : r_out;  
    end  
    assign w_led = {r_out, r_out, r_out, r_out};  
    // vio_0 vio_00(w_clk, w_led[3], w_led[2], w_led[1], w_led[0]);  
endmodule
```

```
module m_main (w_clk, w_led);  
    input wire w_clk;  
    output wire [3:0] w_led;  
  
    reg r_out = 0;  
    reg [31:0] r_cnt = 0;  
    always@(posedge w_clk) begin  
        r_cnt <= (r_cnt==99999999) ? 0 : r_cnt +1;  
        r_out <= (r_cnt==0) ? ~r_out : r_out;  
    end  
    assign w_led[0] = r_out;  
    assign w_led[1] = r_out;  
    assign w_led[2] = r_out;  
    assign w_led[3] = r_out;  
    // vio_0 vio_00(w_clk, w_led[3], w_led[2], w_led[1], w_led[0]);  
endmodule
```

ビット連結 { } を用いた左のコードと, ビット毎に接続 assign する右のコードは等価.



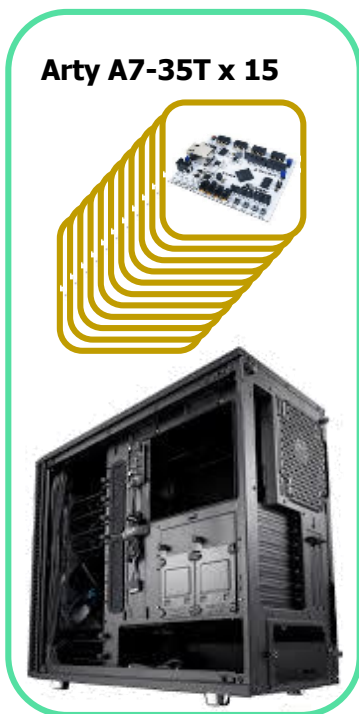
補足: Code057.v

- `w_clk` は **100MHz** のクロック信号
- 32ビットのレジスタ `r_cnt` を, 毎サイクル、インクリメントする. ただし, 値が99,999,999の時には0に初期化される. (つまり, 1秒毎に初期化される)
- **100,000,000 サイクル毎(1秒)**に, 1ビットのレジスタ `r_out` の値を反転する.
- 1KHz のクロック信号は 1,000 Hz と同じ.
- 1KByte のメモリは **1024** Byte と同じ.
- 1MHz のクロック信号は $1000 \times 1000 = 1,000,000$ Hz と同じ.
- 1MByte のメモリは **1024** \times **1024** = 1,048,576 Byte と同じ.
- 100MHz のクロック信号は $100 \times 1000 \times 1000 = 100,000,000$ Hz と同じ.



ACRiルームのサーバー計算機

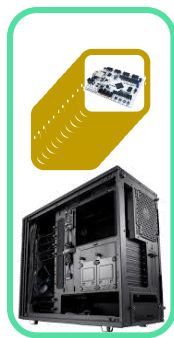
各マシンの負荷を下げるために、仮想マシンの名前の最後の2文字が12~15は使わない。
具体的には **vs001~vs011, vs101~vs111, vs201~vs211, vs301~vs311, vs401~vs411, vs501~vs511, vs601~vs610** から選ぶこと。



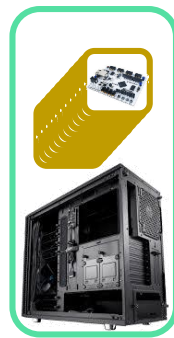
vs001~
vs015



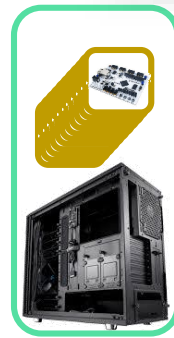
vs101~
vs115



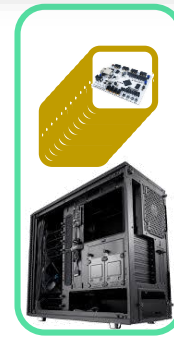
vs201~
vs215



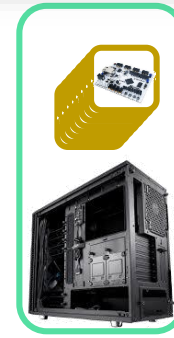
vs301~
vs315



vs401~
vs415



vs501~
vs515

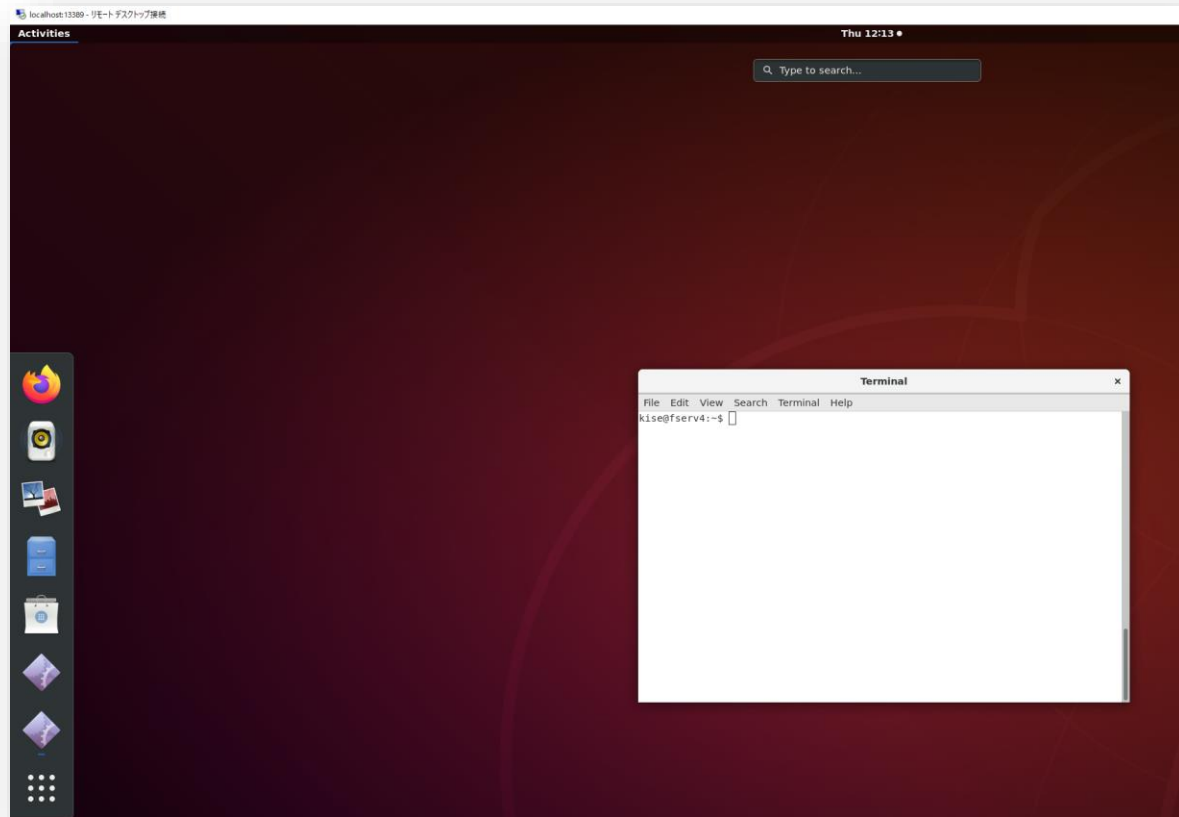
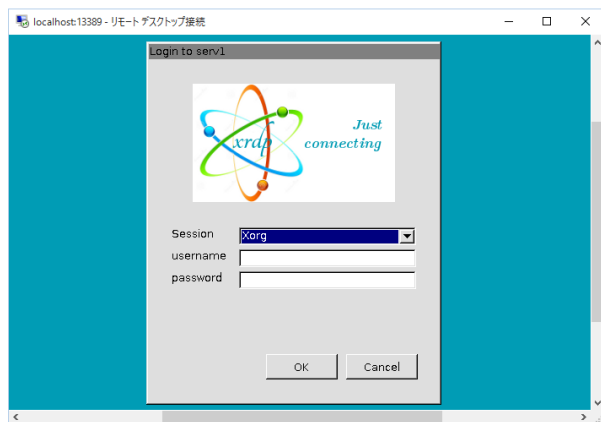


vs601~
vs610



ACRiルームのデモンストレーション

- Vivado で FPGA をコンフィギュレーションして動作を確認する。
- code057.v と main11.xdc を用いて、演習(1) の最初の部分をやってみる。





コンピュータ論理設計 演習

- 最初の演習は, 4月13日 8:50開始です.
8:45までに, 学術国際情報センター3階 **情報工学系計算機室** に集まってください.
- また **Slack** で情報を提供します. Slack も活用しましょう.