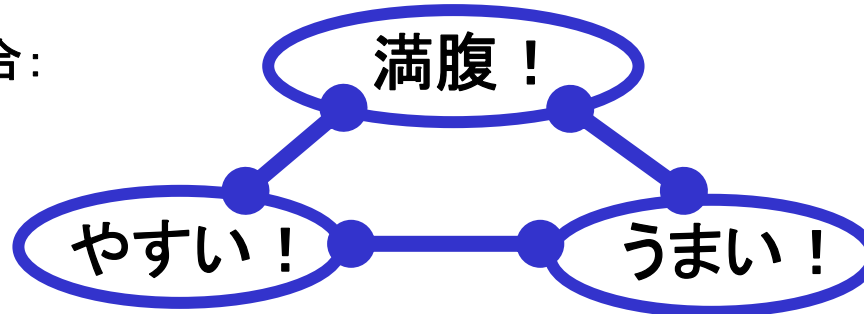


メディア処理で128コアを使い倒そう！

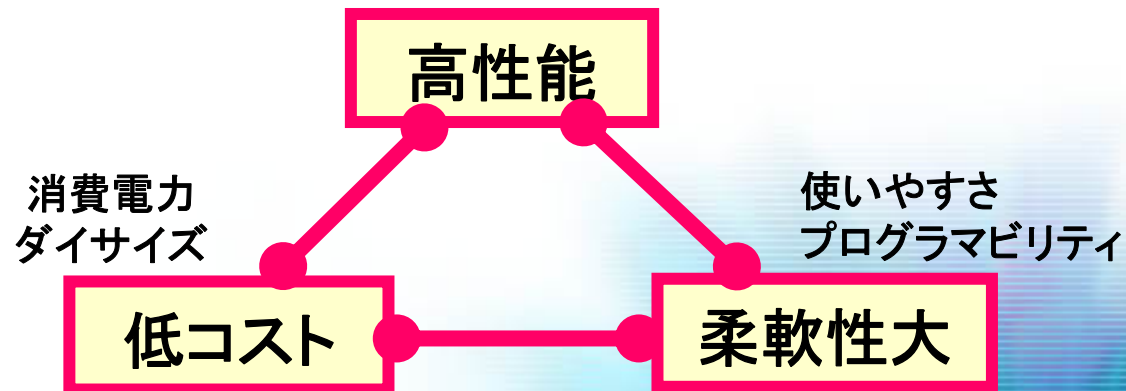
NEC メディア情報研究所
京 昭倫

プロセッサ設計: ニーズは何か?

●食事の場合:

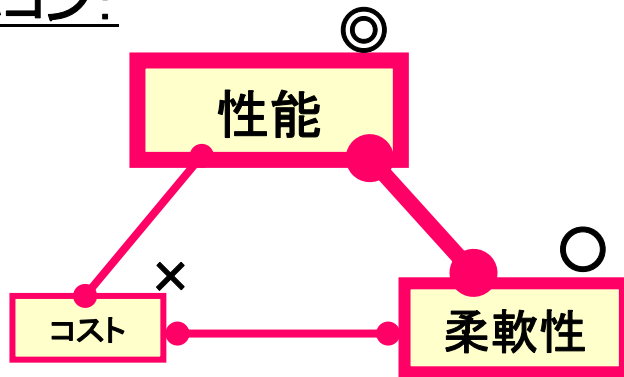


●プロセッサ設計の場合:

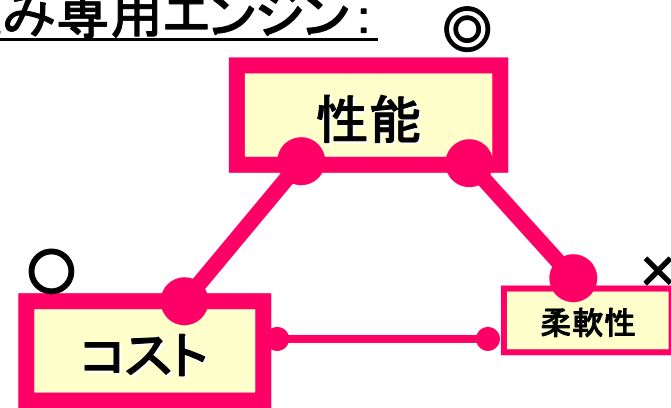


実際に設計・開発してみると……

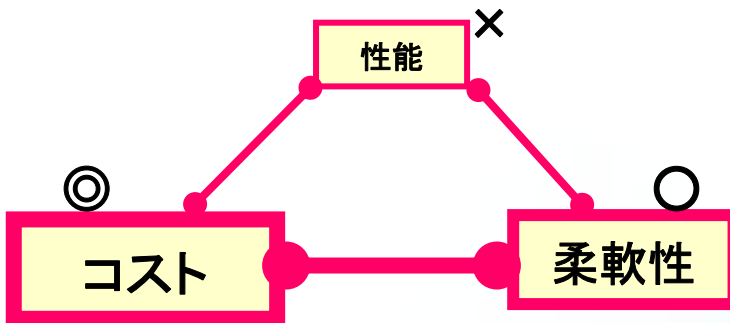
スパコン:



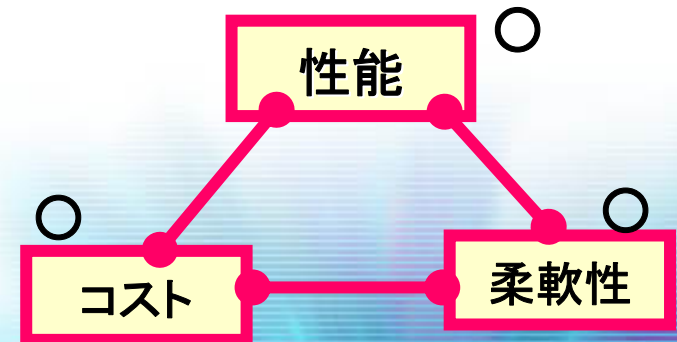
組み込み専用エンジン:



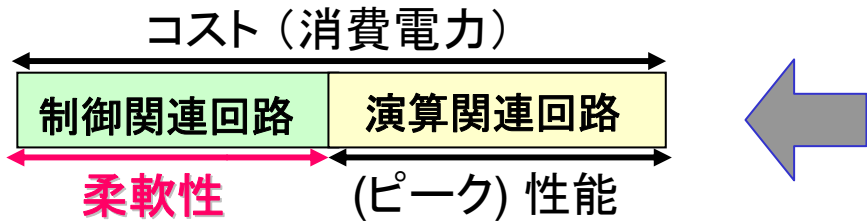
マイクロコントローラ:



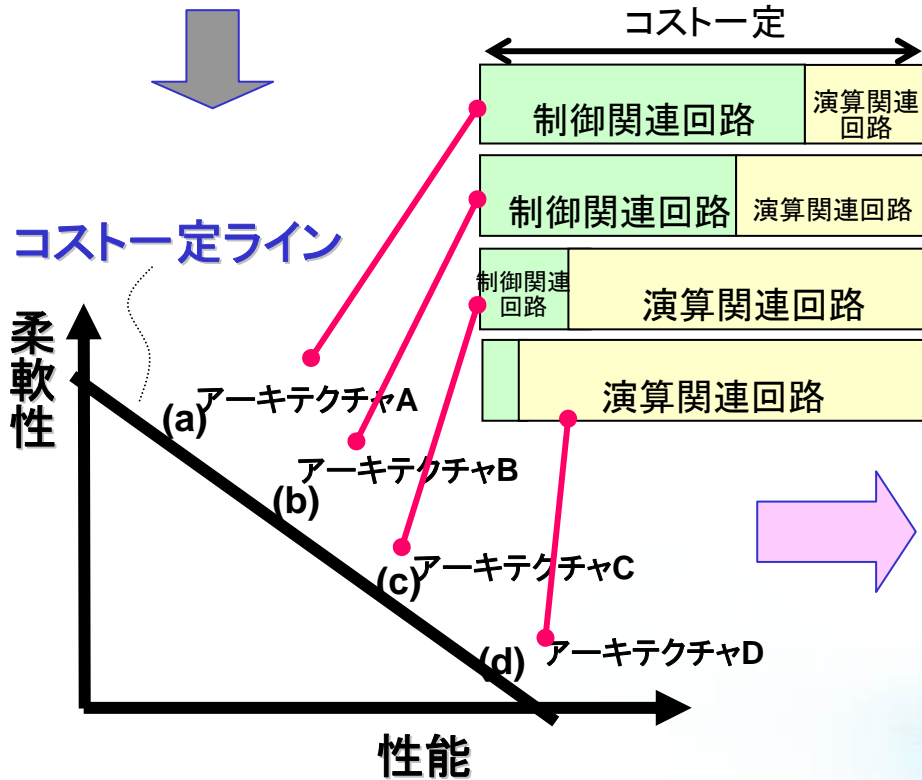
メディアプロセッサ:



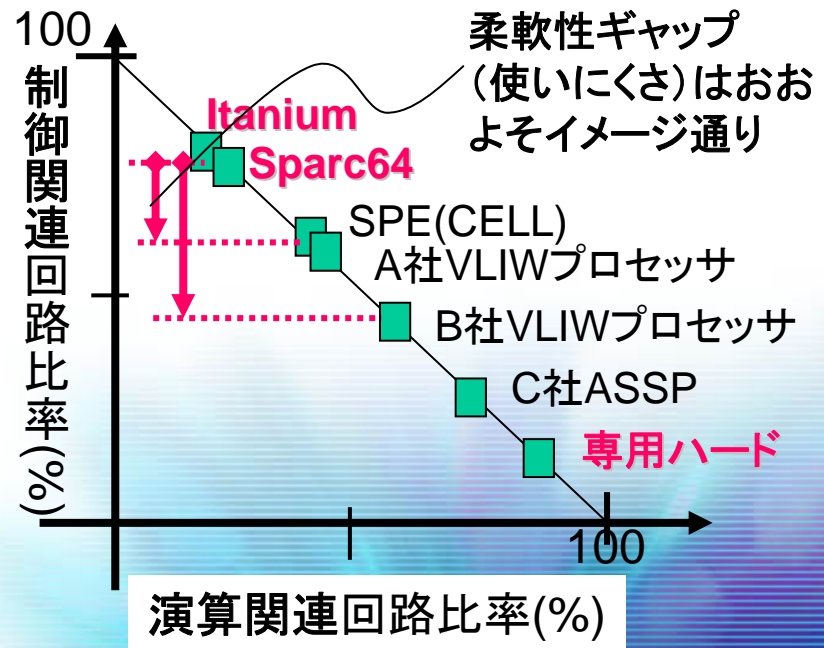
なぜトレードオフが発生するのか？



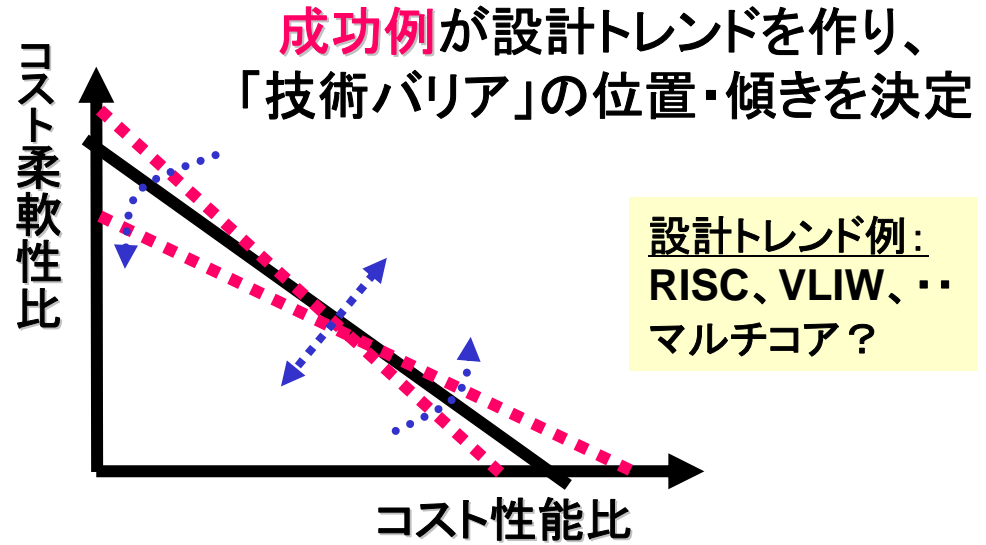
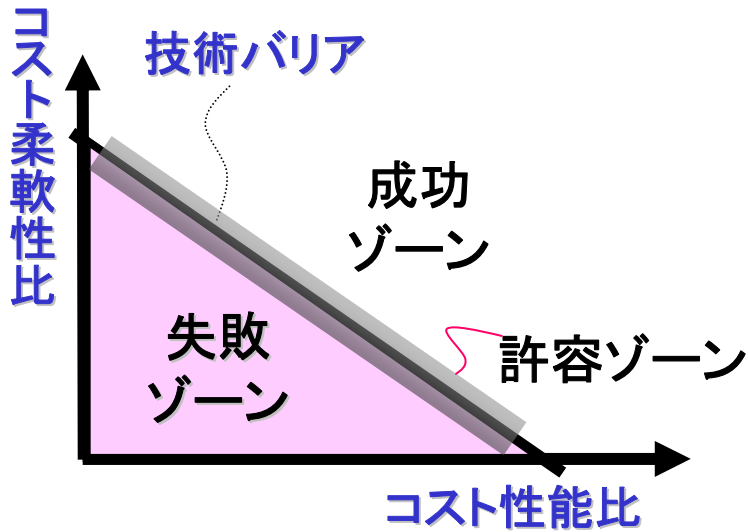
柔軟性は通常、「**制御関連回路のコスト**」にほぼ比例」と仮定すると・・・



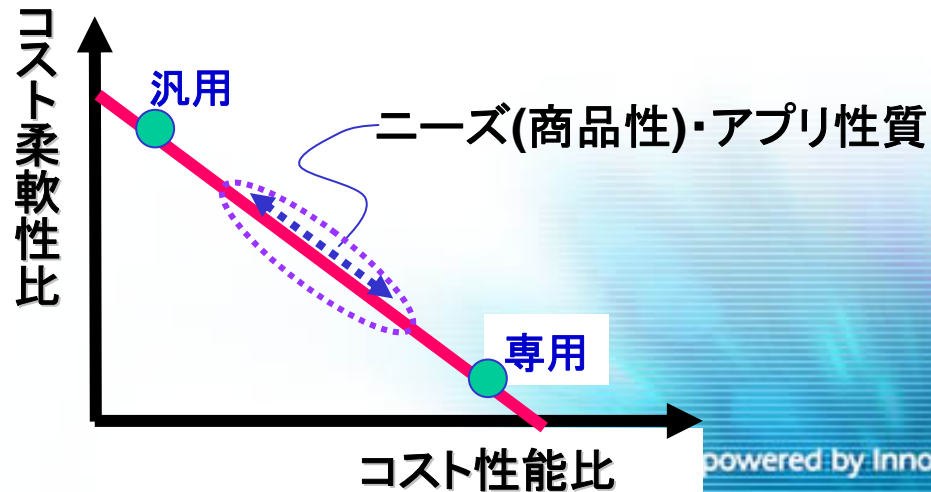
ダイ写真を元にプロットしてみると・・・



技術バリアの存在とその意味



技術バリアの存在を意識したプロセッサ設計が重要



メディア・プロセッサの場合

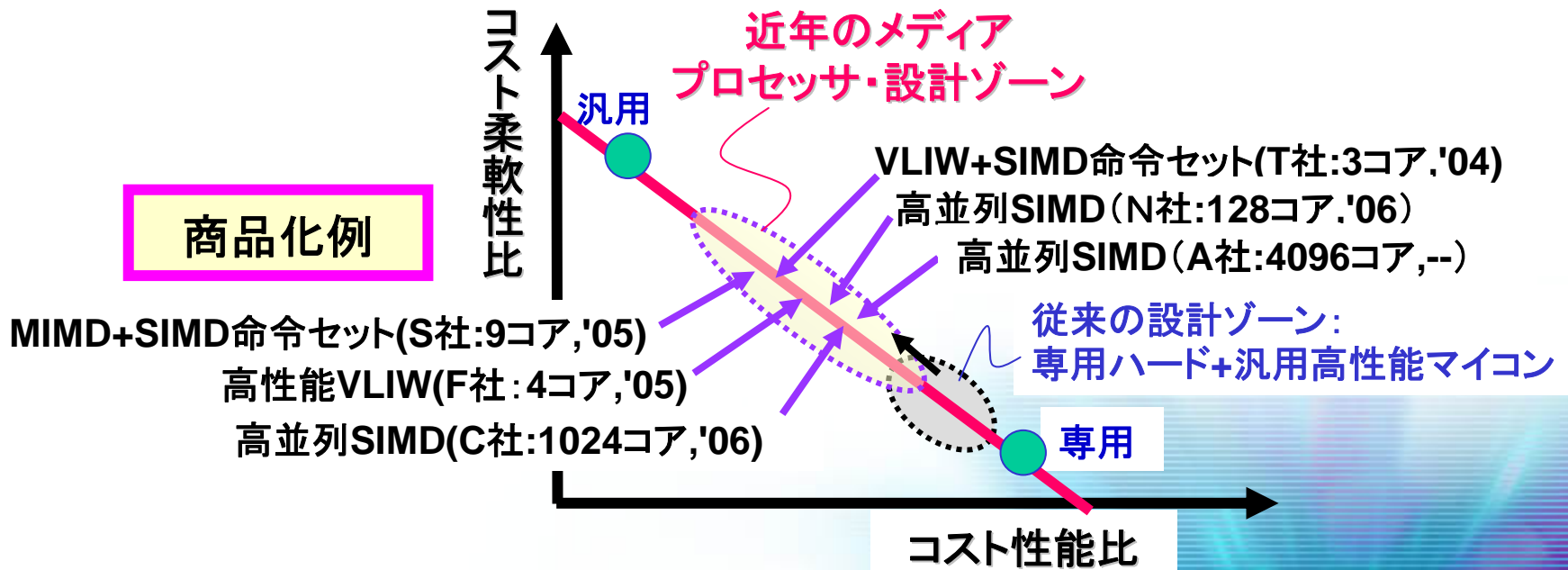
アプリ性質:

膨大なデータ並列性が存在
タスク並列性も顕著

★近年、アルゴリズムが多様化

商品性(ニーズ):

項目	従来	近年
性能	○	○
コスト	○	○~△
柔軟性	△~×	○~△



キーワード: マルチコア~メニーコア(MIMD,SIMD)・VLIW・SIMD命令セット

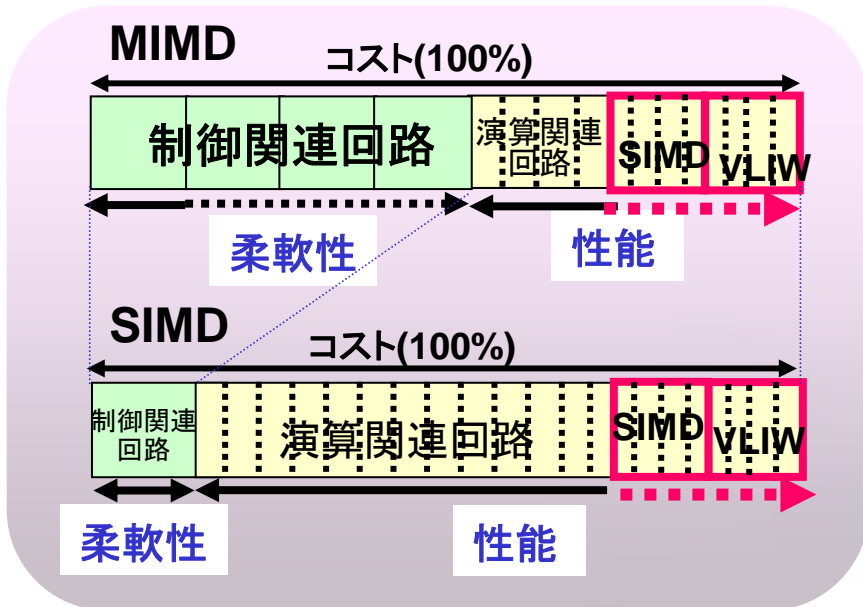


メディア・プロセッサのアーキテクチャ的傾向

- ⊖多数のコアを同一命令流で制御するSIMD方式の採用例が顕著
- ⊖VLIW/SIMD命令セットの導入で、さらなるコスト性能比を狙う場合が多い

SIMD方式採用の理由

- ・MIMDの4倍以上のコスト性能比
- ・柔軟性体感差がメディア処理では少



SIMDマルチコア商用例

名称	PE数	PE性能	柔軟性	開発元
Linedancer	4096	△	△	Aspec
CA1024	1024	△	△	Connex Tech.
Xetal	320	○	○	Philips
IMAPCAR	128	◎	◎	NEC EL

◆コア(PE)数100～数千以上、PE単体性能・柔軟性でバリエーション

IMAPシリーズプロセッサのロードマップ

Peak Performance (GOPS,8bit)

1000
100
10
1
0.1

1990

1995

2000

2005

2010

Year

レチクル検査装置

IMAP-CE

100MHz, 128PE/Chip
4-Way VLIW

IMAP-2

40MHz,
64PE/Chip

IMAP-VISION

40MHz, 32PE/Chip

IMAP-1

25MHz, 8PE /Chip

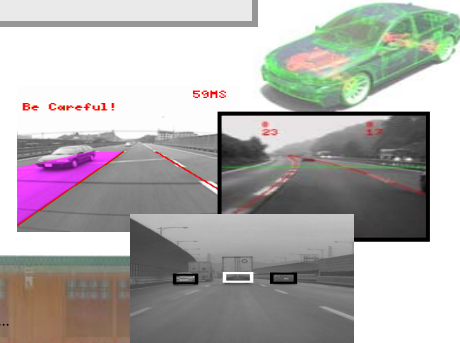
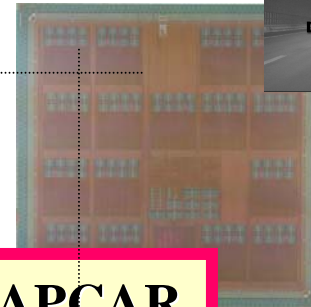
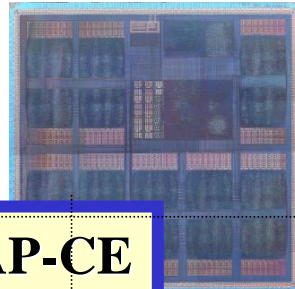
交通流計測
トンネル監視

IMAPCAR

100MHz, 128PE/Chip
4-Way VLIW+MAC

車載画像認識
プロセッサ

レチクル検査装置 屋外監視



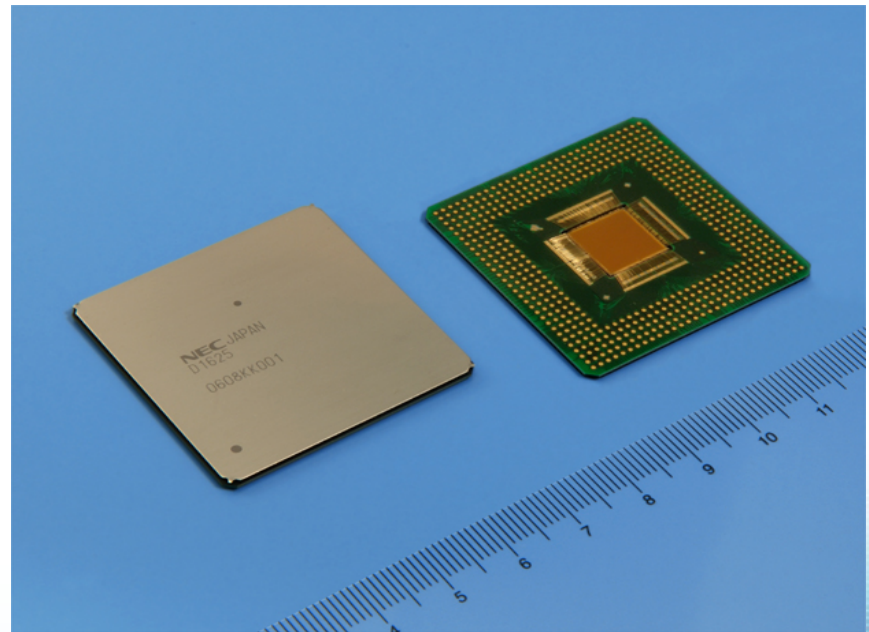
車載向け画像認識用並列プロセッサIMAPCAR

128個の演算ユニットの並列動作により、画像データを同時一括処理することで、リアルタイムに画像認識を実現

IMAP: Integrated Memory Array Processor



産経新聞:06年8/26(土)1面より

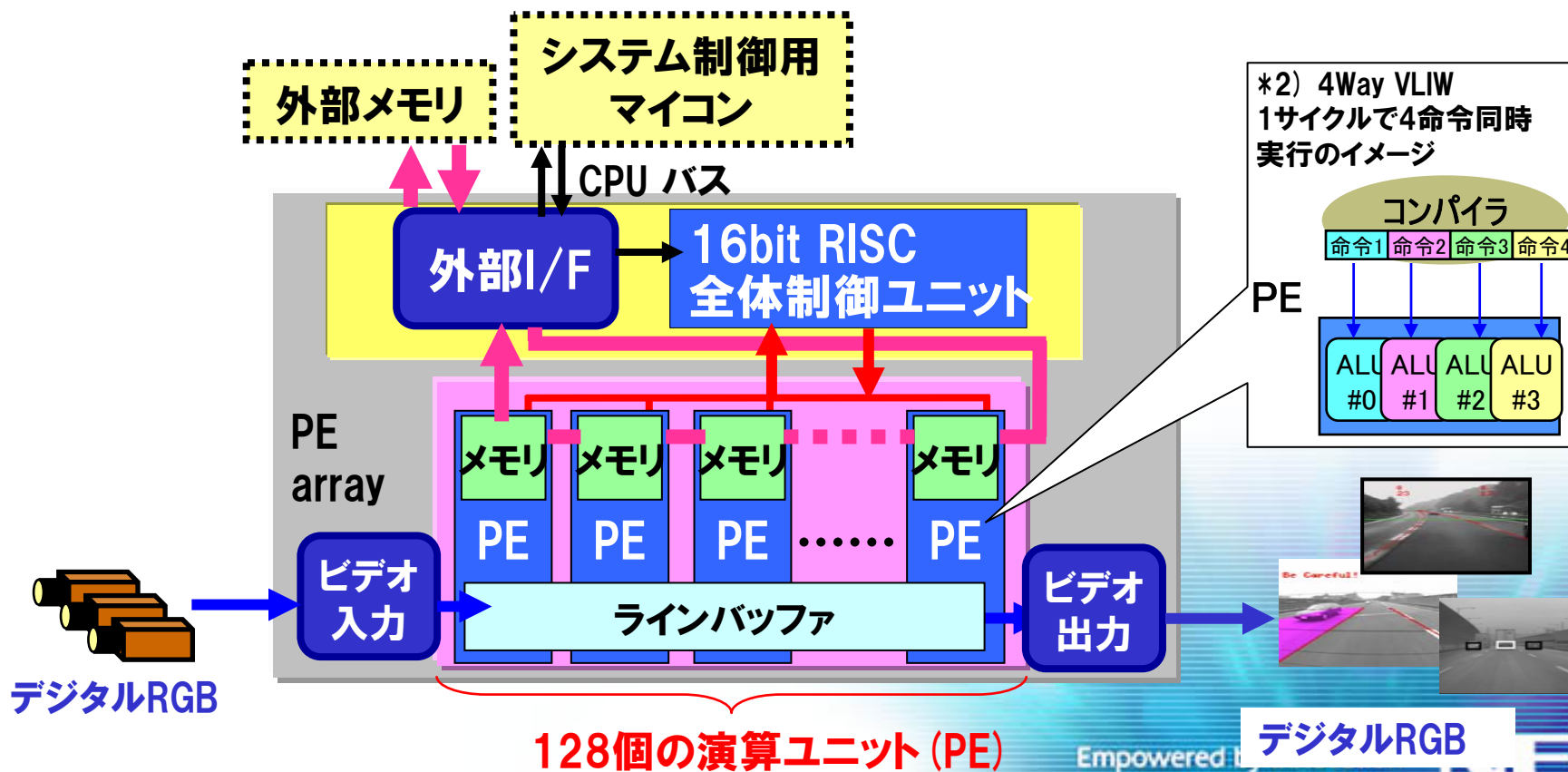


画像認識用並列プロセッサ

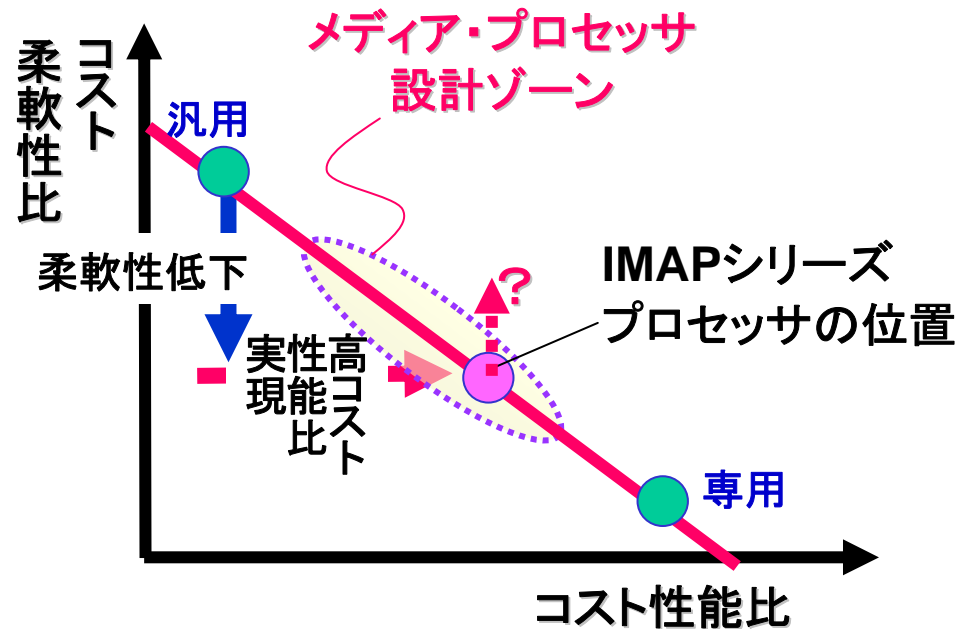
IMAPCARブロック構成図

並列処理のアーキテクチャにより大量のデータを同時一括処理可能に

- ① 128の演算ユニット (PE) が同一命令に従うSIMD方式
- ② 1サイクルで4命令を同時実行可能な4Way VLIW方式 (*2)
- ③ 各演算ユニット毎に独立したメモリを内蔵 (=Integrated Memory Array)



IMAPシリーズプロセッサでの工夫

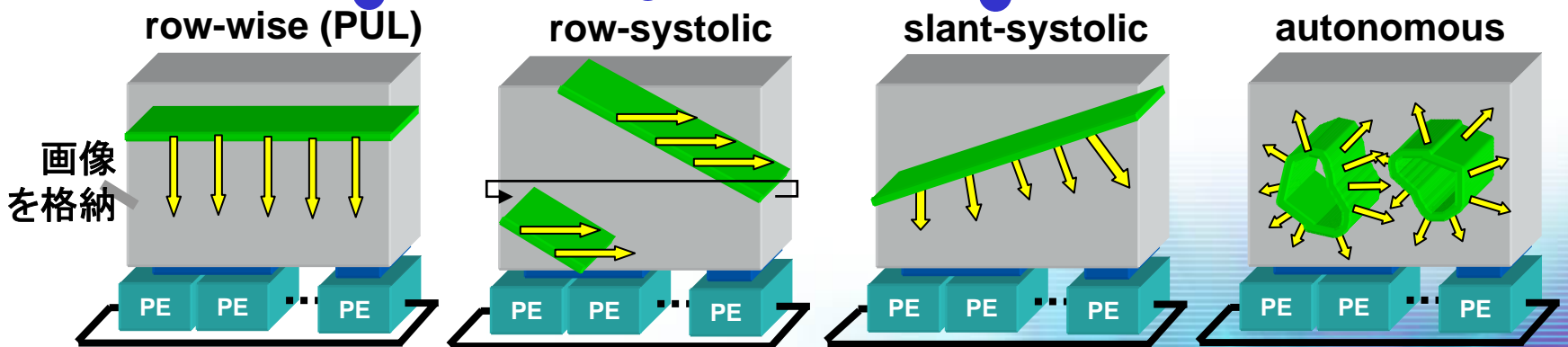


柔軟性向上施策(使いやすくするための工夫):

- メモリアクセスパターンに応じた各種並列化方式を整備
⇒PE毎に独立したメモリブロック構成(計128バンク)
- 並列化方式の効率的実現に向けた独自のRISC型命令セット
- 独自のデータ並列C言語・最適化コンパイラを整備

メモリアクセスパターンに基づく並列化手法の選択

		隣接PE間で データ依存関係 無し	隣接PE間でデータ依存関係有り	
			静的依存関係有り	動的依存関係有り
			更新順序が 静的に決まる	更新順序が静的 に決まらない
Locality	無	SO, GIO, GeO	—	—
	有	PO, LNO	RNO	OO

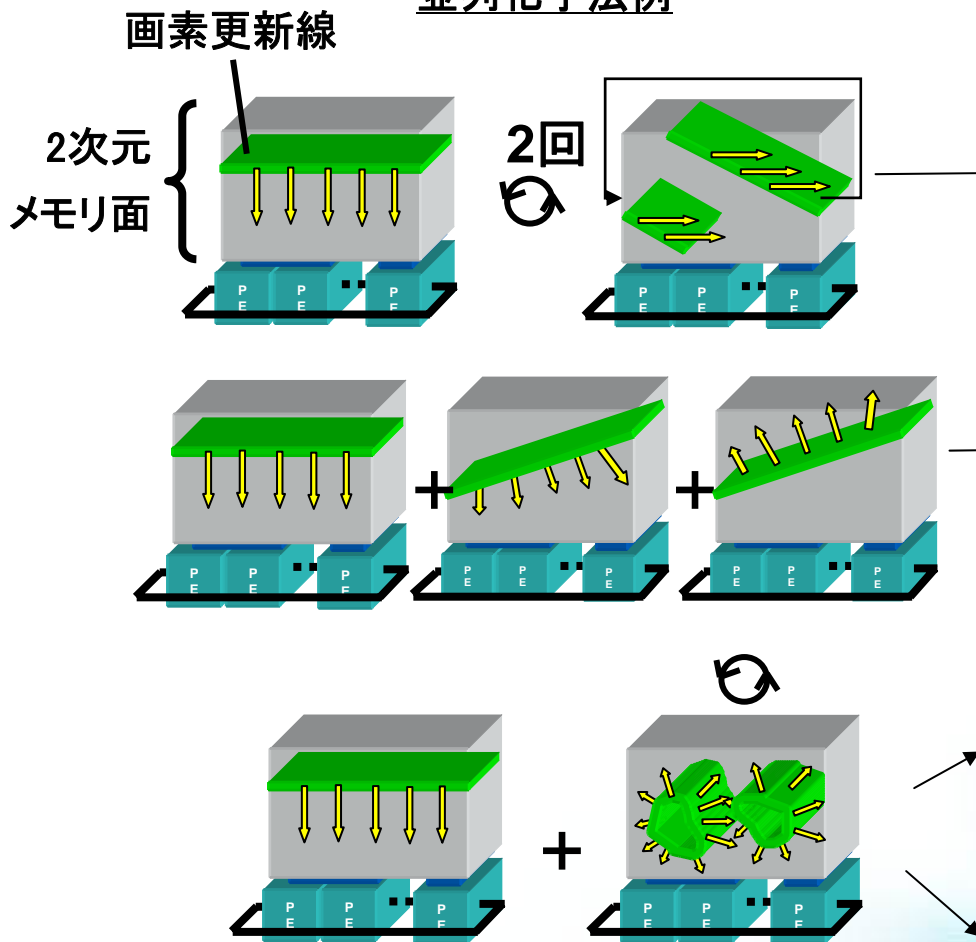


S.Kyo et.al. : "An Integrated Memory Array Processor Architecture for...", ISCA'05

S.Kyo et.al. : "An Integrated Memory Array Processor Architecture for...", to appear at IEEE Trans. Computer

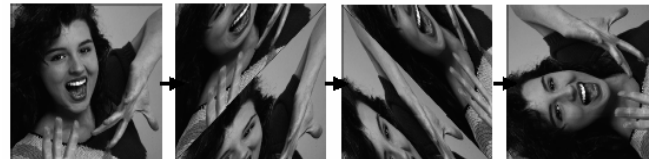
画像認識処理タスクの並列化例

並列化手法例



画像処理・画像認識タスク

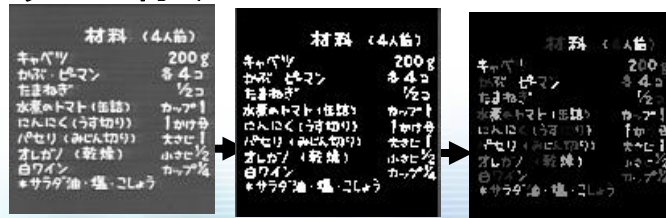
90度回転



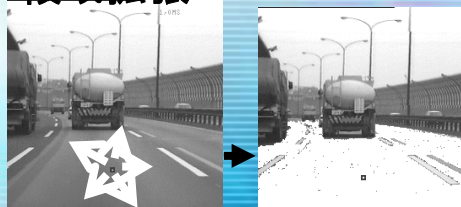
細線化



ラベル付け



領域拡張



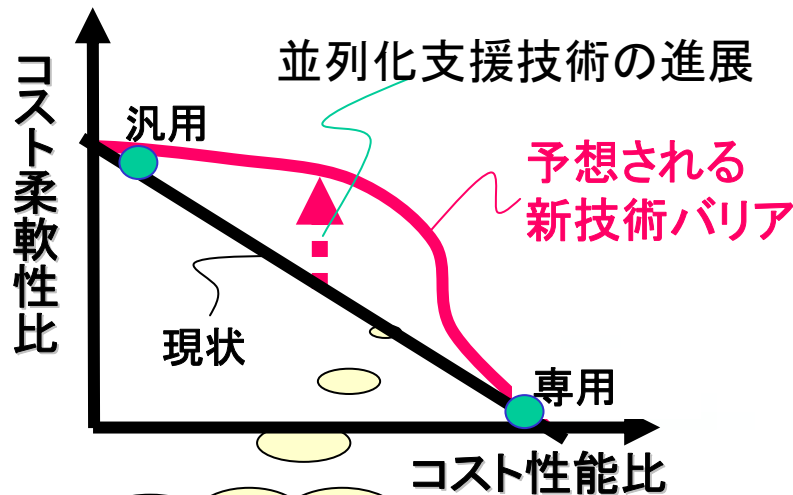
まとめ・技術展望

まとめ

- ◎ プロセッサ設計にとって避けられない技術バリアの存在
- ◎ 「Many core」構成はコスト・性能・柔軟性の良きバランスが重要な場合の一つの最適解

技術展望

- ✦ マルチコア向け並列化支援技術の進展に期待
- ✦ 「性能⇔柔軟性」を動的にトレードオフ(再構成)できれば...
- ✦ メディアプロセッサの他分野への展開



コアを並べただけでは技術バリアの位置は変わらない

